This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT.
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

05-210433

(43) Date of publication of application: 20.08.1993

(51)Int.CI. G06F 1/26 G06F 1/32

(21)Application number: 04-293111 (71)Applicant: SHARP CORP

(22)Date of filing: 30.10.1992 (72)Inventor: YOSHIDA YUKIHIRO

(30)Priority

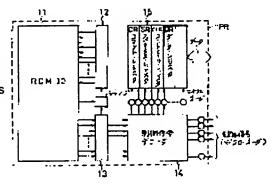
Priority number: 03320460 Priority date: 04.12.1991 Priority country: JP

(54) POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT, PORCESSOR EQUIPPED WITH THE POWER CONTROLLER AND POWER MANAGING SYSTEM FOR DIGITAL ELECTRONIC EQUIPMENT PROVIDED WITH THE PROCESSOR

(57)Abstract:

PURPOSE: To reduce the energy consumption of the entire system and to obtain the device having the high degree of freedom by controlling the power of a digital electronic equipment by a logical system means.

CONSTITUTION: A coded power management instruction stored in a ROM 10 as a storing means is extracted and stored by a control instruction control register 13 according to the designation of an address counter 12. A control instruction decoder 14 is connected to the control instruction control register 13, decodes the power management instruction and outputs a control signal. Plural register groups 15 are connected to the control instruction decoder 14, store and process the power management instruction decoded by the control instruction decoder 14. Since the logical system means controls the power of the digital electronic equipment, the energy consumption of the entire system is reduced, and the device having the high degree of freedom can be obtained.



(18)日本国特許庁(JP)

報(A) ধ 盐 华 噩 **₹** 特開平5-210433

(11)特許出關公開番号

(43)公開日平成5年(1993)8月20日

(51)IntC1* C 0 6 F	92/1	識別記号	庁内整理番号	<u>π</u>			技術表示箇所
	1/32						
			7165-5B	G06F 1/00	90 /	334	H
			7165-5B			332	2

審査請求 未請求 請求項の数3(全46頁)

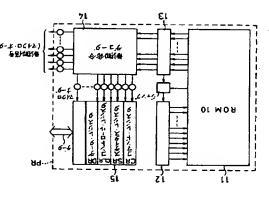
(21) 出版各号	特即平4-283111	610500000 Y随用(12)	000005049
			シャープ株式会社
(22) 出版日	平成4年(1992)10月30日		大阪府大阪市阿倍野区長池町22番22号
		(72) 発明者	早田 李弘
(31)優先権主張番号	特類平3-320460		大阪府大阪市阿倍野区長旭町20番22号
(32)優先日	平3(1991)12月4日		+-ブ株式会社内
(33)優先権主張周	日本(JP)	(74)代理人	(74)代理人 弁理士 川口 義雄 (外1名)

デジタル電子機器用電力制御装置、は電力制御装置を備えた処理装置、及び鉄処理装置を備えた デジタル電子機器用電力管理システム [24] [路田の名称]

(57) [更构]

するリードオンリメモリ (ROM) 10と、ROM10に接 [目的]] システム全体の消費配力を低減でき、自由度 【構成】 | 符合化された電力マネージメント命令を出力 破されておりROM10をアクセスするアドレスカウンタ が高いデジタル電子機器用電力管理装置を提供する。

12と、ROMIOに複続されておりROMIOから出力され た符号化された私力マネージメント命令を記憶する制御 命令レジスタ13と、劇御命令レジスタ13に接続されてお り制御命令レジスタ13に記憶された符合化された魅力マ ネージメント命令をデコードしてマイクロオーダを出力 ずる制御命令デコーダ14と、関御命令デコーダ14に接続 されており制御命令デコーダ14により復号された電力マ ネージメント命令を記憶して処理するレジスタ・グルー ブI5とを備えている。



【顔水頂1】 符合化された電力マネージメント命令を

(特許値状の復開)

出力する記憶手段と、前記記憶手段に接続されており該 記憶手段をアクセスするアクセス手段と、前記記憶手段 に接続されており核記憶手段から出力された前記符号化 された電力マネージメント命令を記憶する命令制御手段 と、前配命令制御手段に接続されており該命令制御手段 に記憶された前記符合化された電力マネージメント命令 を復号して制御個号を出力する復号手段と、前記復号手 カマネージメント命令を記憶して処理する複数のレジス タとを偉えていることを特徴とするデジタル電子機器用 段に接続されており該復号手段により復号された前記句

のモードに設定すると共に当該設定されたモードに基づ 【請求項2】 消費電力が低減されるように電源を所定 に記載のデジタル電子機器用電力制御装置を備えた処理 いて入力及び出力を制御することを特徴とする御水項!

電力即倒發壓。

【請求項3】 請求項2に記載の処理装置の複数を一つ 又は複数の大規模集積回路で形成し、核一つ又は複数の 大規模集積回路の消費電力が低減されるように各該複数 の処理装置の電力を制御することを特徴とするデジタル 覧子機器用電力管理システム。

[0001]

発明の詳細な説明】

置、及び該処理装置を備えたデジタル電子機器用の電力 [産業上の利用分野] 本発明は、デジタル電子機器に適 用できる電力制御装置、該電力制御装置を備えた処理装 管理システムに関する。

ジタル電子機器では、大きさの小型化が遊むと共に電池 [従来の技術] 一般に、パーソナルコンピュータ等のデ 脳動の要求が多く、消費電力を極めて小さくできるシス テムの関先が強んに研究されている。 [0002]

に、システムを構成している半導体デバイスの低消費艦 システム設計によって消費電力を減らすという簡単的手 段で消費電力を下げることができるシステムを構築する 力化という物理的手段で消費電力を下げるだけでなく、 【0003】特に、消費電力を極めて小さくするため ことが重要になってきている。

0コントローラ、及び記憶装置への魅力供給を制御する [0004] 通常、デジタル電子機器は、それぞれが固 (CPU)、各種入出力(1/0)コントローラ、及び 記憶装置 (メモリ、バッファ等) によってシステム構成 は、1つのパワーコントローラによりCPU、各種1/ されており、従来のデジタル電子機器用電力管理装置 **育のデータ処理機能の特性を有している中央処理装置** 集中パワーマネージメント方式を用いている。

[免明が解決しようとする謀略] しかしながら、上近し

た従来のデジタル電子機器用電力管理装置では、CPU・ や名称1/0コントローラの処力(パワー)を値々に逆 即することができず、無駄な電力を消費してしまうとい う問題点があった。また、従来のデジタル電子機器用電 インブットアウトブット・システム (B10S) による 力質理装置では、ハードウエアに依存する部分とそうで ない問分とにモジュール分割されたオペワーティング・ システム (0S) のプログラムを形成するペイシック・ パワーマネージメントサポートを用いているので自由度 が低いという問題点があった。

【0006】本発明は、上記従来のデジタル電子機器用 見力管理装置における問題点に臨み、協理的システム事 段によりデジタル電子機器の電力を制御できるデジタル 町子樹器用電力制御装置を提供する。 【0007】また、本発明は、電力を備々に耐御できる 上記デジタル電子機器用電力制御装置を備えたCPUや 各種1/0コントローラ等の処理装置を提供する。

電力制御装置を備えたデジタル電子機器を構成するCP [0008] 更に、本免明は、上記デジタル電子機器用 **しや各様1/Oコントローラの電力を個々に制御してシ** ステム全体の消費電力を低減でき、自由度が高いデジタ **ル電子機器用電力管理システムを提供する。**

[0000]

【原図を解決するための手段】第1免明は、符合化され 手段に接続されており記憶手段をアクセスするアクセス れた符号化された電力マネージメント命令を記憶する命 手段と、記憶手段に接続されており配熄手段から出力さ 今制御手段と、命令制御手段に接続されており命令制御 手段に記憶された符合化された電力マネージメント命令 接続されており復母手段により復母された魅力マネージ た電力マネージメント命令を出力する記憶手段と、記憶 を復号して制御信号を出力する復号手段と、復号手段に ているデジタル電子機器用電力耐御装置によって達成さ メント命令を記憶して処理する複数のレジスタとを悩え

に基づいて入力及び出力を制御するデジタル電子機器用 [0010]第2発明は、消費権力が低減されるように 略級を所定のモードに設定すると共に設定されたモード 8.力制御装置を備えた処理装置によって遊成される。

[0011]類3免明は、処理装置の複数を一つ又は複 傾回路の消費電力が低減されるように各複数の処理装置 数の大規模集積回路で形成し、一つ又は複数の大規模集 の電力を制御するデジタル電子機器用電力管理システム によって達成される。

0012

手段をアクセスし、命令制御手段は記憶手段に接続され 出力し、アクセス手段は記憶手段に接続されており記憶 (作用) 祭1 免明のデジタル電子機器用電力制御装置で は、記憶手段は符合化された電力マネージメント命令を ており記憶手段から出力された符号化された電力マネー

3

器用電力制御装置は消費電力が低減されるように電源を 所定のモードに設定すると共に設定されたモードに基づ 【0013】 類2発明の処理装置では、デジタル電子機 いて入力及び出力を制御する。

【0014】第3発明のデジタル電子機器用電力管理シ 電力が低減されるように各複数の処理装置の電力を制御 ステムでは、処理装置の複数を一つ又は複数の大規模集 療回路で形成し、一つ又は複数の大規模築╋回路の消費

[0015]

機器用電力制御装置、該デジタル電子機器用電力制御装 置を備えた処理装置、及び該処理装置の実施例を詳細に 【実施例】以下、図面を参照して本発明のデジタル電子

【0016】図1は、第1発明のデジタル電子機器用電 力制御装置である個別制御部 BRの一実施例の構成を示 すブロック図である。

ラム記憶部11、プログラム記憶部11に接続されておりR 記憶部11に接続されておりROM10に書き込まれた命令 後続されており制御命令レジスタ13に記憶された命令を デコードして制御信号 (マイクロオーダ) を出力する制 即命令デコーダ14、制御命令デコーダ14に接続されてお りシステムの電源投入時にパワーマネージメントの命令 【0017】図1の個別制御御PRは、リードオンリメ モリ (ROM) 10に書き込まれた命令を出力するプログ OM10をアクセスするアドレスカウンタ12、プログラム を記憶する制御命令レジスタ13、制御命令レジスタ13に 及びデータを記憶して処理するレジスタ・グループ15に よって構成されている。

PU) または各入出力 (I/O) コントローラにそれぞ **九段税されている。制御命令デコーダ14は、CPUまた** ブ15は、個別制御部PRが接続される中央処理装置 (C は各1/0コントローラとデータの投受を行い、レジス タグループ15は、CPUまたは各1/0コントローラを 制御するためのマイクロオーダをCPUまたは各1/O 【0018】制御命令デコーダ14及びレジスタ・グルー コントローラに出力する。

ペントの割込によって、個別制御部PR、CPU及び各 [/ 0コントローラの主従関係をスイッチするためのロ ジック及びパワーマネージメントの起動を検知するロジ 【0019】個空町卸部D Rは、待路イベントや復俸イ ックを備えている。

【0020】虹頭投入時に個別制御部PRのコマンド・ レジスタやデータ、レジスタに入力されるパワーマネー

能に応じて異なるので、この命令を解説実行する個別制 御部PRのROMIOには、それぞれ異なったプログラム が記憶されているので、例えば、CPUの個別制御部P /Oの個別制御部 B R を構成するプログラム記憶部11の プログラムとは異なる。また、機能に応じて個別制御部 PRのプログラム記憶部11をROM10の代わりにAND ジメントの命令は、CPUや各1/0コントローラの機 Rを構成するプログラム記憶部11のプログラムと、P I /ORゲートで構成してもよい。

体式に形成されてもよく、それが属する装置と着脱自在 【0021】個別制御部PRは、それが属する装置と一 に散けてもよい。

【0022】また、個別制御部PRを構成するプログラ ム記憶部11は、個別虧御節PRと一体式に形成されても よく、個別制御節PRと着脱自在に設けてもよい。

レジスタやデータ、レジスタ等に入力される。個別制御 【0023】更に、電源投入時にCPUが個別制御部P システムのアドレスパスやデータバスを通じて個別制御 部 B R の命令は、通常のマイクロコンピュータと同様な 部 B Rのレジスタグループ15を構成しているコマンド、 形式でありオペランドとオペレータから構成されている Rに知らせるパワーマネージメントの命令やデータは、 機械語命令である。

【0024】マイクロオーダは、個別制御部PR内の各 レジスタの入出力ゲート、CPUや各1/Oコントロー ラのレジスタ並びにメモリ師の入出力ゲートを制御す 【0025】次に、個別制御部PRを構成する上記各構 成部分の動作を説明する。 【0026】プログラム記憶部IIは、ROMI0を含んで デコーダ14から出力されるマイクロオーダに基づいて出 個別制御部PRの機能に応じてROMの変わりにAND おりROM10に書き込まれた命令プログラムを制御命令 カする。なお、上述したようにプログラム記憶部11は、 /0Rゲートにより構成されてもよいが、本契施例で は、ROMを用いた場合について説明する。

【0027】アドレスカウンタ12は、ROM10をアクセ スする。制御命令レジスタ13は、ROM10に書き込まれ ゲをそれぞれ出力する。レジスタグループ15はコマンド れらのレジスタは、システムの電源投入時にCPUがC P U 自体の個別制御部 B R に与えるパワーマネージメン トの命令やデータ及びCPUが各1/0コントローラの 個別制御部PRに与えるパワーマネージメントの命令や データを記憶しておくレジスタ、個別制御部 B B がパワ は、制御命令レジスタ13に配憶された命令をデコードし て個別制御節PRが接続された1/0コントローラ (ま たは C b U)及びレジスタ・グループ15にマイクロオー た命令のブログラムを記憶する。制御命令デコーダル ・レジスタ、データ・レジスタ、ステイタス・レジス タ、コントロール・レジスタにより構成されており、

ーマネージメントの命令を処理するのに必要なワーク用 レジスタ等に分類される。

こ、デジタル電子機器を形成しておりそれぞれが固有の 毎に個別虧御御P Rを扱けることによって、C P U や各 I /0コントローラを個別にパワーマネージメントでき **る分散パワーマネージメント・システム(以下、システ** 【0028】図1の個別制御部PRはそれ自身で小規模 なマイクロコンピュータを形成しており、後述するよう データ処理特性を有するCPUや各 I/Oコントローラ ムと称する)を構成する。

アとして控動させる。

【0029】以下、システムにおける個別制御部PRの 動作、特にCPU及び各1/Oコントローラに接続され た個別制御部 B Rの動作を図2のフローチャートを参照

1)、上記ステップS3で各1/0コントローラ毎にパ (ステップS1)、CPUによりCPU及び各1/0コ 能に応じたパワーマネージメントの処理値報を予め格納 CP Uや各1/0コントローラを主 (メイン) として像 ントローラの個別制御部B Rのレジスタにそれぞれの機 各1/Oコントローラの個別制御部PRがそれぞれの機 能に応じてパワーマネージメントを既に実行しているか まだ実行していないときは、各1/0コントローラの個 到断御部 B R により各機能に応じてパワーマネージメン トを実行して各1/0コントローラの亀頭を制御し(ス テップS 5)、上記ステップS 4で、既に実行状態であ ントを実行し、それぞれが実行状態か否かを判別し(ス ワーマネージメントを受しかつ各 1/0コントローラの 因別制御師 B おパワーマネージメントの実行時以外で 8でYESの場合には、各1/0コントローラの個別制 **寅郎PRのロジック(Logic)をメインとして稼動** させ、各1/0コントローラを従(サブ)として稼動さ [0030] まず、電源を投入してシステムを初期化し し(ステップS2)、初期化されたシステムがパワーマ 3)、上記ステップS 3の慎出の結果、システムがパワ ーマネージメントを必要したときに(Y E Sの場合)、 れば、各1/0コントローラ毎に全てパワーマネージメ あるか否かを判別し(ステップS8)、上記ステップS 否かを判別し (ステップS4)、上記ステップS4で、 テップSも)、上記ステップS6でYESの場合には、 動させて通常の徴算等の実行処理を行い(ステップS ネージメントを必要するか否かを検出し (ステップS

せて各1/0コントローラを制御する (ステップS

10)。 一例として、フル・パワーが懸かっている状 は、各1/0コントローラを各機能に応じて異なる状態 (待機、待避、実行等の状態) に維持する (ステップS **で稼動させCPUをサブとして稼動させ、パワーマネー** 想で待避を必要とするパワーマネージメントのイベント があったときには C b Nの個別側倒断的 B をメインとし 【0031】また、上記ステップS6でNOの場合に

て西浜(DC)パイアスが懸かったタイミングに入り、『 せてシステムが復帰することを各1/0コントローラに 知らせて東行状態に入り、CPUの個別制御部PRをサ ジメントを個色短節御郎 B R のロジックに基ひに大牧行し このタイミング中に、キーまたはタイマから復帰イベン トの入力があったときにはCPUをメインとして保動さ

【0032】なむ、図1の個別型都部BRは、フロシア ディスクやハードディスクを使用しているシステムに対 【0033】図3は、図1の個別園御衙PRを備えたシ しても四様にパワーマネージメントを取行できる。

[0034] 図3のシステムは、ICカードや外部配慮 **久ソト、資格人 久ソト等によった 観波をロソトロール**サ **牧置として、フラッシュメモリを使用しており、待避イ** ステムの一様成例を示すプロック図である。 るパワーコントロール節を備えている。

出力 (b 1 / 0) コントローラのパワーコントロール出 【0035】図3のシステムでは、各人出力(1/0) コントローラの実質的なパワーコントロールは、被列入 力によって行なわれる。

投続されているように示されているが、物理的にはCP 【0036】図3のシステムでは、亀貫ラインは槙列に また、図3のシステムでは、鴨湖はメインメモリ20、1 Cカード21、フラッシュメモリ22、V-RAM23苺のメ Uや各I/Oコントローラ毎に並列に接続されている。 モリにそれぞれ値列または並列に接続されている。更

の個別制御部PRのスタートアップは、システムの人出 により、システムが2通りの状態をもつことができ、自 る。また、個別制御部PRを用いた分散パワーマネージ によるシステムマネージメントによって開始される。ま た、リアルタイムクロックの最優先の割込を除いて、符 に、 図3のシステムでは、統計11の個別制御部PR て、DCパイアスモード (システムスタンパイ) にある メント方式では、ペイシック・インブット・アウトブッ カ(1/0)トラップや幅々の入出力(1/0)の割込 ときを"1"、そうでないときを"0"と股定すること ト・システム (B10S) サポートも不要であり、全て が散けられているので、これの個別回倒断PRによっ 由度の高いパワーマネージメントシステムを実現でき 題キー、資番キー等のスミシャル・キー SK (後述ぎ

ル・キーSKや亀銀スイッチにより観測がフルバワー及 【0038】この角版の動作は、CPUや各1/0コン トローラの状態により、時間的にそれぞれ異なっている が、システムの状態によっては、CPUや各1/0コン 【0037】図4は、荷藤キー、復帰キー毎のスペシャ 、ローラもシステムの亀摂動作と同一になる場合があ びDCパイアスに変化したときの観点の動作を示す。 る)の削込をいつでも受付けることができる。

【0039】図5は、システムの移り変りを示す状態図

3

车商中5-210433

である。システムには各種の割込が発生するが、それぞ れの割込に優先順位をつける。優先順位はシステムのア ブリケーションによって異なるが、本実施例では次のよ うに設定する。

[0040]

優先顧位2 スペシャル・キーSK入力(侍遊/復帰K 優先顧位し リアルタイムクロックイベント

ey) イベント

優先顧信3 タイマーイベント 優先順位4 通信イベント

優先顧位5 メモリ転送 (DMA) イベント

本実施例では多重割込はないものとするが、多重割込を 優先顧位6 その他(同題位)イベント

許すシステムでも、創込スタックレジスタを設けること により、個別制御部PRを用いた分散パワーマネージメ ント方式によるシステムを形成できる。

算等を実行した後のディスプレイや入力待ちを示す待機 伏憶、システムがデータ処理中であることを示す実行状 【0041】システムの状態には、電源投入時のシステ ムが初期化されるイニシャライズの状態、システムが資 [0042] 図5は、システムのイベントによる状態の **原及び上述した割込によって組る特選状態がある。** 変化を示す。

【0043】例えば、リアルタイムクロックは、最も優 トに相当する。また、時刻が何時何分になればシステム ステムは常にリアルタイムクロックの割込要求を受付け て表示しなければならない。これは図5では復帰イベン を非動作に設定するような場合は、図5では待避イベン 先度が高いが、時刻をいつでも表示するような場合、

求をシステムが出して行う。これは、図5では復婚イベ 【0044】通信イベントでは、受信データの受信要求 いので1フレームの受傷とする。完全な受傷は、受信要 は、システムとは常に非同期に起り、割込優先度は高い **方にもってくるのが普通であるが、データ長が決めにく** 7.た私型する。 【0045】スペシャル・キーSKによる入力イベント にあるとき、一定時間が経過すれば表示装置の表示を消 すとか、システムを待避状態にするとか、待避状態から は、システムの使用者が人為的に、システムを待避状態 【0046】タイマ・イベントは、システムが待機状態 り、図5では待避イベント、復帰イベントに相当する。 にしたり実行状態にしたりするキー入力イベントであ 時機状態にする時間的なイベントである。

ステムのアプリケーションによって多様なイベントがあ 【0047】上近したことは伏慰遺移の一例であり、

【0048】システム全体及びシステムを構成するCP Jや各1/0コントローラは、それぞれの個別制御部P

Rにより、侍遊イベントがあれば図5 に示す待避状態

(即ち、システムスタンパイ (D Cパイアスモード)) を生み出すことができる。

[0049]以下、本実施例のシステムに用いられてい **5載カコントロール回路、CPU、各I/Oコントロー** う、及び各メモリについて群迹する。

【0050】図6は、梶カコントロール回路PCCの~ 構成例を示す。

|0051||図6の亀カコントロール回路PCCは、2 2のトランジスタからなり、PI/0のパワーコントロ ールポートから出力される個号A, Bが各トランジスタ のペース入力端子TA, TBにそれぞれ入力される。

入力されている。

[0052] なお、システムのアブリケーションによっ てトランジスタの数は変化する。また、トランジスタを 個々に用いてもよいし、トランジスタをIC化して用い てもよい。

[0053] 図7は、図6の亀カコントロール回路PC Cを用いたシステムの一構成例を示す。

それ個々に接続されており、PI/Oのパワーコントロ 号Bが2つのトランジスタのペースにそれぞれ入力され [0054]図7に示すように、図6の魅力コントロー **ル回路PCCは、CPUや各I/Oコントローラにそれ** トロール信号AとDCバイアス、レベルにするための信 て、CPUや各1/Oコントローラをフルパワーまたは ールボートから出力されるフルバワーにするためのコン DCバイアスレベルに設定する。

【0055】パワーマネージメントによってCPUや各 | 人のコントローラの電源をスイッチングする電力コン トロール回路PCCは、Bi-CMOS技術によってパ ワーコントロール部内に集積回路化して内蔵させること

【0056】図8は、図6及び図7の具体的構成を示

[0058]図8に示すように、端子Ai, Biにはト PCCの端子Ai, Biとは、パワー・コントロールに 含まれているトランジスク回路部によって接続されてお り、オン電流、オフ電流は端子Ai,Biとパワー・コ ランジスタがそれぞれ配置されており、各端子Ai、B iはパワー・コントロールに含まれているBi-CMO [0057] 外部に設けられたパワー・コントロールと ントロールとの間を図8に示す方向にそれぞれ流れる。 S集積回路に接続されている。

【0059】なお、図中、端子Ai,Biは図6の端子 【0060】図9及び図10は、個別制御部PRを有す A, Bにそれぞれ対応している。

る並列入出力 (PI/O)コントローラの一構成例を示

[0061]図9に示すように、PI/Oコントローラ PI/0コントローラを構成する剪 I 及び第2 グループ ・コントロール、コマンド・レジスタ、第1~第4ポー の個別制御部PRから出力されたマイクロ・オーダは、

9

[0062] 次に、図10のP1/0コントローラの個 引制御部P R に含まれている各レジスタの動作を説明す トの各制御ゲートCGに入力される。

は、システムの電源投入時 BI/Oの個別制御部PRが [0063] コマンド・レジスタやデータ・レジスタに 実行するパワーマネージメントの命令やデータが後述す る表1の各モードを東行処理するためにコード化されて 【0064】ステイタス・レジスタには、個別制御部P b、個別制御邮PR自体のコントロールによって入力さ トを行なっているか否かの情報、各モードの種別、及び Rがパワーマネージメントをしているステイタスの情報 れている。このステイタス情報は、パワーマネージメン 各モードの処理の実行ステイタスがコード化されてい [0065] コントロール・レジスタには、タイムアウ トの設定値やクロックダウン時の制御値等が入力されて 【0066】 P I / Oの個別制御邸P Rは、各ポートの われるマイクロオーダを出力する。 更に、 P 1 / 0の個 コントロール、各レジスタの入出力のコントロールに使

別制御部PRは、後述する酉列入出力(SI/O) ゴン トローラやリアル・タイム・クロック (RTC) 等のシ 【0067】P1/0コントローラは、CPUとバス協 [0068]図11は、PI/Oの状態の移り変りを示 続されてブリンタインターフェイス等に用いられ、ブロ ステムを構成するPI/O以外の構成部分の電級をコン グラマブルにパラレルデータの入出力を行う。 トロールするマイクロオーダをも出力する。

上述した図5のシステム全体の状態と同様であるが、時 [0069] 図11に示すように、P1/0の状態は、 間的に見ると異なる。

[0070]例えば、システムが実行状態にあってもブ

リント出力がないような状態であり、PI/Oは符機状 [0071]次に、システムの中で、各状態におけるP I / Oの個別制御御 B R が倫理的に実行する物理的なパ 低にある。

ワーマネージメントの一例を扱1に示す。これはシステ ムのアプリケーションにより異なる。

0072 (报1) 数-1 P1/0のパワーマネージメントモード(例)

	イエシャカイス	£	出 減	群企	∆:48 KR
1007892		0			
クロックストップ		٥		0	
マシーンスチートセーブ				0	
DCパイアスモード		٥		0	
912701		0			
パワーオン	0	0	0		
187-17				0	
ディスプレーパワーオフ				0	
パックライトパワーオフ	0		۵		

* 印は物理的パワーオンでなく疑問的パワーオンである。

[0074] クロックダウンは、PI/O内のクロック 周波数を複数段階設けて、周波数を下げる。 クロックス トップは、PI/O内のクロックを停止させる。マシン DCパイアスモードは、電源をコントロールしてPI/ Oの電波をDCパイアスレベルにする(PI/Oの個別 制御邸PRが実行)。 タイムアウトは、設定されたタイ マ値になればPI/OはDCパイアスモードに入る (P I /Oの個別制御御PRが実行)。 ディスプレバワーオ ステートセーブは、PI/O内の状態を一時記憶する。 [0073] ここで、表1の各項目を説明する。

ライトパワーオフは、液晶投示(LCD)のパックライ トの観測を認断する等である。

【0075】図12及び図13は、個別関靭部PRを育

【0076】図12に示すように、CPUの個別型御館 PRから出力されたマイクロ・オーダは、CPUを構成 するレジスタ**/**論理液算装置(ALU)劇御部に入力さ する中央処理技器(CPU)の一構成例を示す。

[0077]次に、図13に示すCPUの個別制剤部P Rに含まれている各レジスタ(スタック・レジスタ及び

ジェネラル・レジスタを除く)について説明する。

7は、我示の電源をコントロールして遮断する。バック

3

[0078]コマンド・レジスタやデータ・レジスタに は、システムの電源投入時、CPUの個別側御部PRが 奥行するパワーマネジメントの命令やデータが表2の各 モードを実行処理するためにコード化されて入力され

Rがパワーマネジメントをしているステイタスの情報が 【0079】ステイタス・レジスタには、個別制御部P 関別制御部PR自体のコントロールによって入力されて いる。このステイタス情報は、パワーマネージメントを **東行しているか否かの情報、各モードの種別、及び各モ** 【0080】コントロール・レジスタには、タイムアウ トの設定値や、クロックダウン時の制御値が入力されて いる。CPUの個別制御部PRから入力されるマイクロ オーダーは、レジスタ・グループの入出力、その他をコ ードの処理の実行ステイタスがコード化されている。 ントロールするために使われる。

【0081】配頭をコントロールするときは、CPUの

国別制御部 B R が B I 人のコントローラの個別制御部 B Rに要求を出して種類がコントロールされる。

【0082】CPUは、システム全体のデータ処理を行

表-2 CPUのパワーマネージメントモード(例)

令、レジスタ命令、アドレス制御命令、1人0制御命令 データバス、コントロールバスを通して、複算命 **うために、固有の命令セット有しており、アドレスバ** 等を入出力してシステムをコントロールする。

[0083]図14は、CPUの状態の移り変りを示し ている。システム全体をコントロールするユニットであ ることから、図5のシステム全体の状態とほとんど同じ 例えば、システムがモデムによる通信待ちのとき、CP Uは待機しているということもある。システムアプリケ **り動作の起動を待っているときがある (即ち、待機して** であるが、時間的に見ると変化はやはり異なっている。 **ーションによっては、システム外部からのイベンや I /** . (21

[0084]次に、システムの中で各状態におけるCP Jの個別制御部PRが簡單的に実行する物理的パワーマ ネジメントの一例を表2に示す。これは、システムアブ リケーションによって異なる。

0085

競: ▽									
樹仁		0	0	0			0		
有有						0			٧
新	0	. 7		٥	0	0			
イニシャライズ						0			0
·	クロックダウン	クロックストップ	マジーンステートセーブ	DC/4778-F	91670h	パワーオン	147-47	ディスプレーパワーオフ	バックライトパワーオフ

* 印は物理的パワーオフでなく倫理的パワーオフである。

[0087] クロックダウンは、CPU内のクロック周 ープは、CPU内の状態を一時記憶する。DCパイアス **複数を複数段階に股定して周波数を下げる。クロックス** 外部からの1/0待ちに悟当する)。 マシンステートセ C、低級をコントロールしCPUの民談をDCパイアス レベルにする。タイムアウトは、設定されたタイマ値に ラの個別制御部PRに知らせて、CPUがDCパイアス なれば、CPUの個別制御部PRがPI/Oコントロー モードは、CPUの個別倒御部PRが待避状態に入るこ トップは、CPU内のクロックを停止させる(例えば、 とを b 1 / Oコントローラの個別無知的 B に 知らせ [0085] ここで、数2の各項目を説明する。

合、CPUの個別制御部PRがPI/Oコントローラの **陸無御鶴 B B B B D 1 / Oコントローシの偏近無御鶴 B B** にディスプレイの電源をコントロールすることを要求し 個別制御部 B R にパックライトの電源をコントロールす て遮断する。パックライトパワーオフは、LCDの場 ることを要求して適断する。 [0088] 次に、図3に示されている各1/0コント ローラの概略を説明する。

く知られているものであり、ここでは各1/0コントロ [0089]これらの1/0コントローラは、一般によ -ラ自体の構成や動作の説明を省略して、個別制御部P Rに関することについて説明する。なお、フラッシュ・ メモリがファイル・メモリとして使用されるようになれ

モードに入る。ディスプレイパワーオフは、CPUの個

ばフラッシュ・メモリ・コントローラ (FMC) が1/ **)コントローラとして絶対に必要である。**

【0090】まず、S1/0の個別慰問的PRに合まれ ている各レジスタを説明する。 [0091] コマンド・レジスタやデータ・レジスタに は、システムの配謝投入時S1/0の個別側御部PRか **更行するパワーマネージメントの命令やデータが俊述す** る表3の各モードを実行処理するためにコード化されて

入力されている。

[0096] S1/Oコントローラの伏部は、上近した 図5のシステム全体の状態と同様であるが、時間的に見

ログラムによって同期や関歩同期のシリアル通信を行

Rがパワーマネージメントをしているステイタスの情報 が、個別制御断PRのコントロールによって入力されて いる。このステイタス情報は、パワーマネージメントを **実行しているか否かの情報、各モードの権別、及び各モ** 【0092】ステイタス・レジスタには、個別制御部P **一下処理の実行ステイタスがコード化されている。**

トの設定値やクロックダウン時の制御値が入力されてい [0093]コントロール・レジスタには、タイムアウ る。SI/Oの個別制御御PRから入力されるマイクロ オーダは、各通信パッファのコントロール、各レジスタ

1/0コントローラの個別制御部PRが**加**理的に更行す

これは、システムのアプリケーションによっても異な

画信をしていないような状態では、S I /Oコントロー [0098]次に、システムの中で、各状態におけるS る物理的なパワーマネージメントを一例を扱3に示す。

ラは待機中ということもある。

【0097】例えば、システムが攻行状態であっても、

数一3 SI/Oのパワーマネージメントモード (例) の入出カコントロールに使われる。

[6600]

	インフィント	梅	₽X	型生	∆: # K
2040404		0			
クロックストップ		٥		0	
マシーンステートセーブ				0	
DCパイアスモード		٥		0	
91450h		0	۷		
パワーオン	0	0	0		
パワーオフ				0	
ディスプレーパワーオフ				0	
バックライトパワーオフ	0		<		
中の時間と このを開発しる中間と このを開発に行っ	WIE 4. / */ II.	1			

1 印は物理的パワーオフでなく協理的パワーオフである。

をS1/0コントローラの個別制御部PRがP1/0コ ントローラの個別問題的B K に知らせて軌跡をコントロ [0101] クロックダウンは、SI/Oコントローラ 内のクロック周波数を複数段階に設定して周波数を下げ 5。クロックストップは、SI/Oコントローラ内のク Oコントローラ内の状態を一時記憶する。D Cパイアス モードは、SI/Oコントローラが待避状態に入ること ールし、S1/Oコントローラの観点をDCパイアス・ レベルにする。タイムアウトは、股定されたタイマ値に なれば、SI/Oコントローラの個別制御部PRがPI ロックを停止させる。マシンステートセーブは、S1/ /Oコントローラの個監短御御BRに包らせて、S1/ 【0100】ここで、扱3の各項目を説明する。

【0102】通信では、相手と接続できないような通路 中等のように、実行中でもタイムアウトになるときがあ の個別無徴的 B R か B I 人のコントローッの個別便咨的 PRにディスプレの電景をコントロールすることを要求 (I.C.D.) の場合、S1/0コントローラの個別阻倒的 ライトの純淡をコントロールすることを取択して過程さ る。ディスプレイパワーオフは、SI/Oコントローラ PRがP1/Oコントロールの個弦短倒移 PRにバック して遮断する。パックライトパワーオフは、液品投示 OコントローラがDCパイアス、モードに入る。

C) コントローラの個別短御街PRに含まれる名レジス 【0103】次に、リアル・タイム・クロック(RT

8

[0094]また、電路は、S1/0の個型短週部PR

がP1/0コントローラの個別短節的的PRに要求を出し [0095] S1/0コントローラは、CPUのバネと **樹焼されており、主に通信コントロールに用いられ、ブ**

てコントロールされる。

時間平5-210433

[0104] コマンド・レジスタやデータ・レジスタに は、システムの電磁投入時、RTCコントローラの個別 制御師 DRが実行するパワーマネージメントの命令やデ **ータが後述する我4の各モードを実行処理するためにコ** 一ド化されて入力されている。 タについて説明する。

Rがパワーマネージメントをしているステイタスの情報 が、個別制御部PR自体のコントロールによって入力さ トを実行しているか否かの情報、各モードの権別、及び 【0105】スティタス・レジスタには、個別制御邸P れている。このステイタス情報は、パワーマネージメン 各モードの処理の実行ステイタスがコード化されてい [0106] コントロール・レジスタには、タイムアウ トの実時間設定値やクロックダウン時の制御値等が入力 されている。個別衙街部PRからRTCコントローラに 入力されるマイクロオーダは、各レジスタの入出力コン トロールに使われる。

[0107] 電源は、RTCコントローラの個別制御邸 PRがP1/0コントローラの個別制御部PRに要求を 出してコントロールされる。

扱-4 RTCのパワーマネージメントモード(斑)

フェイス(バス接続しないときもある)されるが、他の I/Oコントローラに比くると独立柱が高く、一種の時 【0109】時計は、時刻の初期股定後、システムがど **らな状態にあっても動作しているが、RTCコントロー** ラを構成するとき、時計を除く部分はシステムと同様な 【0108】RTCコントローラは、CPUとインター 計なので主に時計として使われる。

システム全体の状態と同様であるが、時間に見ると変化 は異なる。例えば、システムが実行状態にあっても、実 時間の割込を出さないような状態、即ち時計を除き待機 【0110】RTCコントローラの状態は、図5に示す しているということがある。 このような移り変りはない。

状態の移り変りがある。即ち、時計機能だけのときには

【0111】次に、システムの中で各状態におけるRT Cコントローラの個別制御部PRが簡異的に実行する物 理的なパワーマネージメントの一例を表4に示す。これ はシステムのアプリケーションによっても変る。但し、

诗計は常に動作しているものとする。

[0112]

[表4]

•	ナサ シナ ナメ	梅	聚	饱	以
10+0400		0			
クロックストップ		V		(O)	
マシーンステートセーブ				0	
DCバイアスモード		٥		0	
914791		0			
パワーオン	0	0	0		
パワーオフ				0	
ディスプレーパワーオフ				0	
ペックライトパワーオフ	0		V		

* 印は物理的パワーオフでなく論理的パワーオフである。

【0114】クロックダウンは、時計のクロック(32.76 XKHZ) を除くR T Cコントローラ内のクロック周波数を R T Cコントローラの個別制御部 B R が B I / Oコント は、時計のクロックを除いて、RTCコントローラ内の クロックを停止させる。マシンスデートセーブは、RT Cコントローラ内の状態を一時記憶する。DCパイアス モードは、RTCコントローラが待避状態に入ることを 셏飲段階に設定して周波散を下げる。 クロックストップ ローラの個別街御御PRに知らせて、観点をコントロー [0113] ここで、表4の各項目を説明する。

ーオフは、股定された実時間になれば、RTCコントロ 御部 BR にディスプレイの電談をコントロールすること を要求して遮断する。パックライトオフは、LCDの場 合、設定された実時間になれば、RTCコントローラの ルしてRTCコントローラの軽減をDCパイアスレベル ば、RTCコントローシの個別包御部BRはP1/0コ ントローラの個別制御部 B R に知らせて、R T Cコント ローラはDCパイアスモードに入る。ディスプレイパワ ーラの個別制御部 B B B B D I 人のコントローラの個別制 にする。タイム・アウトは、設定された実時間になれ

9

Rにパックライトの電源をコントロールすることを受求 **国空世暦的 B な B I 人のコントローッの値別世徴館 D**

[0115]次に、カウンタタイマコントローラ (CT C)の個別制御節PRに含まれている各レジスタについ

ミック・ランダム・アクセス・メモリ (D-RAM)の

システムのタイミング制御のための装置であり、ダイナ プログラマブルなリフレッシュカウンタとして使用され

【0119】CTCは、CPUバスと接続されており、

PRに熨状を出して行なわれる。

【0120】CTCの状態の移り変りを示している。C

TCの伏糖図は図5のシステム全体の状態と同様である

が、時間的に見ると異なる。

あっても、カウンタはシステムのタイミング制御のため に動作している。これらの状態では、D-RAMのリフ

【0121】例えば、システムが待機状態、待退状態に

レッシュは、パワーマネージメントのため、クロックダ

の個別短節的PRなPI/Oコントロールの個別短部的

[0116] コマンド・レジスタやデータ・レジスタに は、システムの電源投入時CTCの個別制御師PRが実 **行するパワーマネージメントの命令やデータが扱5の各** モードを実行するためにコード化されて入力されてい

Rがパワーマネージメントをしているステイタスの情報 が個別制御節PR自体のコントロールによって入力され [0118] コントロール・レジスタには、カウンタ値 [0117] ステイタス・レジスタには、個別制御部P ている。このステイタス債税は、パワーマネージメント を実行しているか否かの情報、各モードの種別、及び各 やクロックダウン時の制御価等が入力されている。CI Cに個別制御的PRから入力されるマイクロオーダは、 モード処理の実行ステイタスがコード化されている。

【0122】次に、システムの中で、各状態におけるC TCの個別回御部PRが智楽的に東行する物理的なパワ ーマネージメントの一例を表5に示す。これはシステム ウンして行なわれている場合に相当する。 のアプリケーションによって異なる。

[聚5]

各レジスタの入出力コントロールや各カウンタの入出力

扱一5 CTCのパワーマネージメントモード(例) コントロールに使われる。鳥邸コントロールは、CTC

						r
	イニンキカイン	符載	東行	與	△:過 仅	
7486406		0				_
クロックストップ		8		(×)		_
マシーンスチートセーブ				0		
DCパイアスモード		×		×		_
914791		0				
パワーオン	0	0	0			
119-47				0		
ディスプレーパワーオフ				0		-
バックライトパワーオフ	0		۵			
		-				1

+ 日はも歯的パワーオフでなく福田的パワーオンである。

[0125] クロックダウンは、CTC内のクロック周 彼数を複数段階に設定してクロック周波数を下げる。D テートセーブは、CTC内の状態を一時記憶する。DC パイアスモードは、CT Cではシステムのタイミング制 **御を行うので、設定されない。タイムアウトは、CTC** クロックストップは、D-RAMのリフレッシュカウン タを除いてCTC内のクロックを停止させる。マシンス -RAMのリフレッシュは下げた周波数で行なわれる。 [0124] ここで、扱5の各項目を説明する。

に入る場合 (例えば、待機時のタイム・アウト) は設定 ローラの個別制御部 B R に 熨状を出してディスプレイ観 原を遮断する。パックライトオフは、LCDの場合、股 定されたカウンタ値になれば、CTCの個別制御部PR される。ディスプレイパワーオフは、設定されたカウン 夕倒になればCT Cの個別函衡部PRはP1/0コント がP1/Oコントローラの個別超倒的PRに受求を出し ・アウトは設定されないが、システムがタイム・アウト てパックライトの気弱を遮断する。

【0126】脱いて、インタラブト・コントローラ(1

ではDCバイアスモードに入るのに対応しているタイム

 $\widehat{\Xi}$

N.T.C.)の個別制御御即 B.に含まれている各レジスタに

ネージメントの命令やデータが後述する数6の各モード [0127] コマンド・レジスタやデータ・レジスタに は、システムの電源投入時INTCが奥行するパワーマ を東行するためにコード化されて入力されている。

Rがパワーマネージメントをしているステイタスの情報 が個別制御部PR自体のコントロールによって入力され ている。このステイタス情報は、パワーマネージメント が実行されているか否かの情報、各モードの種別、及び [0128] ステイタス・レジスタには、個別制御部P 各モードの処理の実行スティタスがコード化されてい [0129]コントロール・レジスタには、クロックダ クロオーダは、各レジスタの入出力コントロールに使わ れる。色波コントロールはINTCの個別制御部PRが ウン時の制御値やタイム・アウト時の制御値が入力され ている。INTCの個別制御部PRから入力されるマイ PI/Oコントローラの個別制御部PRに要求を出して

り、プログラマブルな割込コントロールが可能なディバ イスであり、優先原位が付けられた割込入力信号を処理 [0130] INTCは、CPUとバス接続されてお して、その割込要求をCPUに知らせる。

[0131] INT Cの状態の移り変りは、図5のシス テム金体の状態と同様であるが、時間的に見ると変化は [0132] 例えば、システムが実行状態であっても [NTCは待機中ということもあり、システムの割込があ 【0133】 スペツャル・キーSKによる割込イベント って動作するから割込がない限り待機している。

[0134]次に、システムの中で、各状態における1 N T Cの個別制剤部P R が論理的に実行する物理的なパ ワーマネージメントの一例を表6に示す。これは、シス は、ノン・マスカブルな割込であり上述したように種々 の割込がある。

Fムのアプリケーションによって異なる。

我~6 INTCのパワーマネージメントモード (例)

	イニシャタイプ	動物	寒行	陶业	△;題 校
1077477		0			
20022107		٥		0	
マシーンステートセーブ			0	0	
DCパイアスモード		٥		0	
91470h		×	7		
ノギークシ	0	0	0		
14-631				0	
アイスプレーパワーオフ				0	
バックライトパワーオフ	0		Q		

* 日は物理的パワーオフでなく倫理的パワーオフである。

[0137] クロックダウンは、INTC内のロック周 波数を複数段階に設定して周波数を下げる。クロックス トップは、INTC内のクロックを停止させる。マシン とをCPUの個別短節節即PRに知らせるが、もし待避状 都に入るイベントであれば、INTCの個別制御部PR がPI/Oコントローラの個別制御部PRに知らせてD Cバイアスモードに入る。そうでなければCPUが割込 み処理を行う。タイムアウトは、INTCはタイマ機能 DCパイアスモードは、システムの中で割込があったこ ステートセーブは、INTC内の状態を一時記憶する。 0136] ここで、表もの各項目を説明する。

Oコントロールの個別態的部PRに知らせて、INTC を要求して遮断する。パックライトパワーオフは、LC がDCパイアスモードに入る。ディスプレイパワーオフ は、INTCの個別色御筒PRがPI/Oコントローブ の個別制御部PRに表示の観測をコントロールすること Dの場合、INTCの個別側的部内RがPI/Oコント ローラの個別制御部D.R にパックライトの亀銀をコント るイベントであれば I N T Cの個別販御部P R がP I / ロールすることを竪束して遮断する。

[0138]次に、ダイレクト・メモリ・アクセス・コ ントローラ (DMAC) の個別慰御部PRに含まれてい [0139] コマンド・レジスタやデータ・レジスタに 5名レジスタについて説明する。

> をもたないが、システムのタイムアウトによる創込を受 付けてCPUの個別問題的PRに知らせ、特選状態に入

一ルすることを要求して遮断する。パックライトパワー

(15)

り、CPUを介さないで、各メモリや各1/Oコントロ を直接アクセスできるコントローラであり、メモリ転送 [0143] DMACの状態の移り変りは、図5のシス 例えば、システムが実行状態であっても、DMACは符 機中ということもある。システムにDMAの要求があっ

-ラ(例えば、外部接続されているフラッシュメモリ)

や外部記憶校覧とのリード/ライトに用いられる。

Rがパワーマネージメントをしているステイタス情報が いる。このステイタス債機は、パワーマネージメントを 実行しているか否かの情報、各モードの種別、及び各モ マネージメントの命令やデータが後述する数7の名モー [0140] ステイタス・レジスタには、個別制御部P は、システムの亀談投入時、DMACが実行するパワー 個別制御部PR自体のコントロールによって入力されて ドを実行するためにコード化されて入力されている。 ード処理の実行スティタスがコード化されている。

テム全体の状態と同様であるが時間的に見ると異なる。

て、メモリ転送やI/Dデータの転送が行なわれるの

【0141】コントロール・レジスタには、クロックダ 節PRから入力されるマイクロオーダは、各レジスタや レジスタグループの入出力をコントロールするために使 われる。電源コントロールは、DMACの個別制御部P ウン時の倒御値が入力されている。DMACの個別制御 RかPI/Dコントローシの扇処態御御的Rに吸状を出

[0144]次に、システムの中で各状態におけるDM ACの個別樹倒的PRが簡異的に東行する物理的なパワ ーマネージメントの一例を数7に示す。これは、システ で、DMA要求がない限り待機していることになる。 ムアブリケーションによって異なる。

[0145] [扱7]

	イニンナタイン	£	100	即	△:過 稅
1011400		٥			
クロックストップ		0		0	
マシーンステートセーブ				0	
DCバイアスモード		٧		0	
91470h		×			
パワーオン	0	0	0		
パワーオフ				0	
ディスプレーパワーオフ				0	
パックライトパワーオフ	0		٥		
大学工作 11. 李祖 40 / 李子工作 11. 李祖 李元四 ·	Am 40 / 40 mg	1 1 1 1 1 1	, ,		

* 印は物理的パワーオフでなく倫理的パワーオフである。

ことを、個別制御部PRがPI/0コントローラの個別 【0147】クロックダウンは、DMAC内のクロック 周波数を複数段階に設定して周波数を下げる。 クロック ストップは、DMAC内のクロックを停止させる。マシ る。DCバイアスモードは、DMACが待避状態に入る 慰御郎BRに知らせて鳥談をコントロールし、DMAC DMACはタイマ機能をもたないが、システムの中でタ イマによる特徴イベントがあれば、DMACの個別制御 BPRがPI/Oコントロールの個型処質的のRに包の イパワーオフは、DMACの個別制御部PRがPI/O コントローラの個別慰詢部PRに繋示の亀数をコントロ せてDMACはDCバイアスモードに入る。ディスプレ の電源をDCパイアスモードにする。タイムアウトは、 ンステートセーブは、DMAC内の伏顔を一時記憶す [0146] ここで、扱7の各項目を説明する。

I /Dコントローラの個別短御御PRにバックライトの オフは、LCDの塩合、DMACの個別制御部のRがP

【0148】次に、フラッシュ・メモリ・コントローラ (FMC)の個別既御部PRに含まれているの各レジス **島淑をコントロールすることを取求して適断する。**

【0149】FMCがコントロールするフラッシュメモ **覧力が消費もなく、艦級を供給しなくても配場されてい** るデータは保持されるので、メモリに対しては、いつで もパワーを延断することができる(非動作時は物限的な 塩断ができる)。後述する数8の各モードに加えて、フ シッシュ・メモリ・パワーオフのモードがある。 このコ ントロールは、FMCの個別倒倒部のRが非動作時であ ることを、ステイタス・レジスタによって知ることがで きるので、FMCの個別短倒的PRがP1/0コントロ りは、動作中は、電力消費があっても、非動作時は全く タについて説明する。

-ラの個別制御御P.B.に知らせて外部記憶装置(エクス 【0150】コマンド・レジスタやデータ・レジスタに ネジメントの命令やデータが畏8の各モードを実行する は、システムの電源投入時、FMCが実行するパワーマ ターナル、メモリ)の観頭を遮断することができる。 ためにコード化されて入力されている。

【0151】スティタス・レジスタには、個別制御部P Rがパワーマネージメントをしているステイタス情報が いる。このステイタス情報は、パワーマネジメントを実 個別制御部 B B 自体のコントロールによって入力されて **斤しているか否かの情報、各モードの種別、及び各モー** ド処理の実行ステイタスがコード化されている。

【0152】コントロール・レジスタには、クロックダ ウン時の制御貸が入力されている。FMCの個別制御部 PRから入力されるマイクロオーダーは、FMCの各レ ジスタの入出力をコントロールするために使われる。

[0153] 鬼獣のコントロールはFMCの個別制御部 PRがP1/0コントローラの個別制御部PRに要求を

出して行なわれる。

パイト単位の転送やワード単位の他、ブロック単位(例 また、外部メモリをファイルとして扱うファイルコント えば512B) の転送を行い、外部メモリに対してデータ・ コントロールのリードやライト・コントロールを行う。 【0154】FMCは、CPUとバス接続されており、

[0155] FMCの状態の移り変りは、図5のシステ なる。例えば、システムが実行状態であっても、FMC は待機中ということもある。システムが外部メモリに対 して、リード熨状やライト熨水を出して、外部メモリか ム全体の状態と同様であるが、時間的に見ると変化は異 らデータをリードしたり、外部メモリヘライトするの で、リードやライト要求がない限り待機状態になる。 [0156] 次に、システムの中で、各状態におけるF M Cの個別制御部P R が物理的に実行する物理的なパワ ーマネージメントの一例を投8に示す。これは、システ

ムアブリケーションによって異なる。

0157]

我-8 FMCのパワーマネージメントモード(既)

照(4 74 0 0 0 0 0 Œ t 0 4 寒 蟿 ◁ O 4 0 × Æ ゴイ ツ ナバ 0 0 マシーンステートセーブ バックライトパワーオフ ディスプレーパワーオフ DCバイアスモード クロックストップ 10+19407 91477h パワーオン パワーオフ

* 印は物理的パワーオフでなく論理的パワーオフである。

[0159] クロックダウンは、FMC内のクロック周 彼数を複数段階に設定して、周波数を下げる。クロック ステートセーブは、FMC内の状態を一時記憶する。D ストップは、FMC内のクロックを停止させる。マシン 個路短週的 B K な B I 人のコントローラの個別短倒的 B Rに知らせて、鶴嶽をコントロールし、FMCの鶴嶽を DCパイアスモードにする。タイムアウトは、FMCで も待辺イベントがあれば、FMCの個別制御部PRがP I 人のコントローシの固弦短節的PRに対らせてFMC がひこパイアスモードに入る。ディスプレイパワーオフ はタイマ機能をもたないが、システムの中でタイマによ Cバイアスモードは、FMCが待避状態に入ることを、 [0158] ここで、殺8の各項目を説明する。

個別制御部PRに表示の電源をコントロールすることを 要求して遺断する。バックライトパワーオフは、LCD の場合、FMCの個別制御部PRがP1/0コントロー ラの個別制御部PRにパックライトの観測をコントロー ルすることを要求して違断する。

(VDC) の個別制御部PRに含まれている各レジスタ 【0160】続いて、ピテオ・データ・コントローラ について説明する。 【0161】コマンド・レジスタやデータ・レジスタに は、電弧投入時、VDCが実行するパワーマネジメント の命令やデータが扱りの各モードを実行するためにコー ド化されて入力されている。

【0162】ステイタス・レジスタには、個別制御部P Rがパワーマネージメントをしているステイタス情報

は、FMCの個別制御節PRがPI/0コントローラの

特图 平5-210433

型な疑自己リフレッシュ・ラム(疑似S−RAM)を用

[0168] VDCは、CRTとインターフェイスされ ントローラ (以下、LCDCと称する) としても使用さ れるので、1.CD扱示用データインタフェイスコンバー

るか、またはリキッド・クリスタル・ディスプレイ・コ れる。この場合、LCDフラットディスプレイに投続さ タを含んだコントローラになるが、ヒディオデータのコ

れている。このステイタス情報は、パワーマネジメント 制御部や表示アドレス制御部、ピデオデータ制御部等の が、個別制御部PR自体のコントロールによって入力さ を実行しているか否かの情報、各モードの種別、及び各 [0163] コントロール・レジスタには、クロックダ ウン時の制御値が入力されている。 ND Cの個別制御部 PRから入力されるマイクロオーダーは、猫画アドレス モード処理の実行ステイタスがコード化されている。

[0164] 鳥跡のコントロールは、VDCの個別制御 部PRがPI/Oコントローラの個別街御部PRに要求 入出力(1/0)コントロールに使われる。

を出して行なわれる。

ントロール機能は周一であり、VDCのパワーマネジメ 【0169】VDCの伏穏の移り変りは、図5のシステ ム全体の状態と同様であるが、時間的に見ると異なって

ントの説明で充分であるので説明を省略する。

描画タイミングの選択、直線や円弧、四辺形、文字等の 栢画やスクロール、自動カーソル等ヒデオデータのコン [0165] VDCは、CPUとパス接続されており、 トロールを行うコントローシである。

(以下、V-RAMと称する) がビディオデータの扱示 のために接続されるが、V-RAMのピットデータをコ ントロールするものである。このV-RAMには、D-[0166] 更に、ローカルバスには、ビデオ・ラム

R AMが使われるときもあるので、D - R AMのリフレ

いる。例えば、システムが実行状態にあっても、VDC は待機しているということもある。システムがデータ処 DCは、非動作でよく、データ処理の終了後にVDCは [0170]次に、システムの中で、各状態におけるV DCの個別倒倒的PRが簡単的に実行する物型的なパワ ーマネジメントの一例を扱りに示す。これは、システム 理(作扱資賃やファイルアクセス等)中であっても、V 動作を始めればよいので、待機していることがある。 アブリケーションによって異なる。

[0167] D-RAMの変わりに、リフレッシュが不 [投9] 表-9 VDCのパワーマネージメントモード(例)

-	イニシャライス	数	其 行	数	Ø: Ø
102000		٥			
クロックストップ		×		ĝ	
マシーンスチートセーブ				0	
DCパイアスモード		٥		0	
91677F		×			
パワーオン	0	0	0		
180-47				0	
ディスプレーパワーオフ					
バックライトパワーオフ	0		٥		

[0173] クロックダウンは、VDC内のクロック周 [0172] ここで、表9の各項目を説明する。 被数を複数段階に設定して周波数を下げる。

を停止させる。個し、V-RAMにD-RAMが使われ ているときはこのモードはない。S-RAMや疑似S-[0174] クロックストップは、VDC内のクロック RAMが使用されているときはクロックを停止させるこ [0175] マシンステートセーブは、VDC内の状態 を一時記憶する。

申口は物理的パワーオンでなく結理的パワーオフである。こで、我9の各項目を説明する。【0176】DCバイアスモードは、VDCの個別期間、こで、我9の各項目を説明する。 **邸PRが待避状態に入ることをPI/0コントローラの** 超型医御部 B R に包のおた 鳥談やコントロールし、 N D Cの真談をDCパイアスレベルにする。

もたないが、システムの中でタイマによる待遇イベント があれば、VDCの個別的御部PRがPI/Oコントロ [0177] タイムアウトは、VDCではタイマ機能を -ラの個別短回的 B R に知らせて V D C がD C バイアス [0178] ディスプレイパワーオフは、VDCの個別

<u>=</u>

倒御部 B R が b I 人Oコントローラの個別転倒部 b R に 投示の電源をコントロールすることを要求して遮断す

合、VDCの個別樹御節PRがPI/0コントローラの 個別倒倒的 B R にパックライトの観測をコントロールす [0179] バックライトバワーオフは、LCDの場 ることを熨状して逸節する。

[0181] コマンド・レジスタやデータ・レジスタに は、システムの虹級投入時、KBCの個別制御部PRが 英行するパワーマネージメントの命令やデータが表10 【0 1 8 0】次に、個別制御朗PRを有するキーポード の各モードを実行処理するためにコード化されて入力さ ·コントローラ(KBC (SI /O!!))の個型監御 部PRに含まれている各レジスタについて説明する。

【0182】ステイタス・レジスタには、個別制御部P Rがパワーマネージメントをしているステイタス情報が 国別制御町 B 自体のコントロールによって入力されて いる。このステイタス情報は、パワーマネージメントを **実行しているか否かの情報や各モードの種別や各モード** の処理の実行スティタスがコード化されている。

[0183] コントロール・レジスタには、クロックダ ウン時の制御値が入力されている。KBCに入力される マイクロオーダは、レジスタグループの入出力やその他 をコントロールするために使われる。 【0184】 気欲をコントロールするときは、KBCの 国別制御部PRがSI/0(II)の個別制御部PRを通し てPI/Oコントローラの個別制御部PRに要求を出し て程度がコントロールされる。

シリアルにインターフェイスし、システムのキー入力を [0185] SI/O(II)は、年にKBCに回避して、

田らせ、キー入力処理を行う。また、SI/O(II)の個 数~10 KBC (SI/OU) のパワーセネージメントモード (例)

-	イニシャライス	符機	異符	羅料	△:選択	
7029402		0		٥		
クロックストップ		٥		0		
マシーンステートセーブ				0		
DCバイアスモード		×		×		
914791		×				
パワーオン	0	0	0			
パワーオフ				×		
ディスプレーパワーオフ				0		_
パックライトパワーオフ	0					·

* 印は物理的パワーオフでなく論理的パワーオフである。

空処倒磨 P R は、K B Cの個別態倒磨 B Rのもとでコン トロールされて表10の各モードを実行する。

ム例では、KBCにもう一方のSI/0(II)が接続され ているが、KBCと周一の状態の移り変りをする。KB [0186] KBCは、図3に示すようにバスと接続さ れないで、独立している非同期に入力されるキー・ボー ドの信号をシステムに同期させ、文字/記号、数値キー **専コード化するコントローラであり、マイクロコンピュ** ータ、ユニットが使われることが多い。これは、ROM やRAM、I/Oポートを内蔵している。図3のシステ **Cからのシリアル個号をシステムとシリアルにインター** フェイスする。

4全体の状態と同じであるが、他の1/0コントローラ 【0187】KBCの状態の移り変りは、図5のシステ を含むシステムとは、時間的に見ると変化は全く異な

る。例えば、システムが実行状態にあっても、KBCは 待機している時間がほとんどである。連続的なキー入力 のときには、比較的多くKBCはシステムをアクセスす

【0188】しかし、割込優先度の高いキー入力があれ ば、システムは常にこのキー入力を受付け(但し、リア ル・タイム、クロックを除く)、特強イベントであれば 待避へ、復帰イベントであれば復帰へとシステムの状態

I 人のコントローラの個別慰知的的 B に バックライトの

最級をコントロールすることを要求して強断する。 [0193]次に、各メモリについて説明する。

-ルすることを要求して遮断する。パックライトパワー オフは、LCDの場合、KBCの個別制御部PRが、P 【0194】システムのメインメモリにはD-RAMが 主として使用されるが、S-RAMはその低消費電力性 やスタティックなデータ 記憶ができることからシステム 【0 1 9 5】 D – R A Mをメインメモリとして使用する ンステムでは、その特性上、一定時間内のリフレッシュ

規模に応じて多く使用され得る。

M、CTCによるクロックダウンのパワーマネジメント 【0196】他方、S-RAMは、その特性によってス **タティックなデータ保持ができることからDCバイアイ** モードをもつことができる。即ち、 P I /O コントロー

を常に伴うことからDCバイアスモードは存在しない

イバワーギンは、KBCの値監整御路PRが、PI/0 コントローラの個別側御郎 B に表示の観察をコントロ

し、一定時間(奥用的には分単位)経過すれば、他の I /Oコントローラの個別起倒倒 B R がタイムアウトの関 状を出してタイムアウトになることがある。 ディスプレ

- 入力があったことを処理しなければならない。しか

【0189】次に、システムの中で各状態におけるKB

Cの個別制御部 B が管理的に実行する物理的パワーマ ネジメントの一例を表10に示す。これは、システムア ブリケーションによって異なる。SI/O(II)もKBC と同じである。

[0610] (多10)

-	イニシャライズ	新 税	天行	製	△:超 択
1046406		0		٥	
クロックストップ		٥		0	
マシーンステートセーブ				0	
DCバイアスモード		×		×	
914771		×			
パワーオン	0	0	0		
パワーオフ				×	
アイスプレーパワーオフ				0	
パックライトパワーオフ	0				
	-		-	_	

I Cメモリカードとしての使用に既点がある。メインメ モリで説明したことから、S-RAMによるI C メモリ カードは、DCバイアスモードをもつことができ、PI /Oコントロールの個型整御筒 B R が鳥ばコントロール する。疑似S-RAMの場合は、セルフ・リフレッシュ **数核、脱盤して使用されるので、D-RAMは痰用上、** をもっているので乾燥してもフルバワーにしておけば、 データ保持ができるがDCパイアスモードは設定しな

い。D-RAMと同様に実用的にも軽点がある。

ムもあるので、このような場合はDCバイアスモードが

ン技術により、システムが集積された場合、システムの テムの動作や大規模しSIの安定性や量函性を確保する 【0200】大規模な大規模集構回路 (LSI) 化技術 が進み、システムが1つのチップに集積された場合にお いても、CPUや他のI/Oコントローラは、このパワ もっと進んでウエファー・スケール・インデグレーショ システムはシリコンの上に集積されるが、上近した本免 CP Uや個別の1/0コントローラ、その他のメモリの 電源を制御できるので、シリコン上の消費電力をシリコ ン全体に分散させることができる。即ち、安定したシス [0201] 大規模LS1化技術によって、何来、図3 -マネージメントシステムによって、CPUや個別の1 /0コントローラの亀談を慰御するように構成できる。 低消費電力化がますます重要になってくる。このとき、 明の分散パワー・マネージメント・システムによって、 のようなシステムが1つのチップに集積された場合や、 ことができる。

(0202)また、半導体の周波数は、駅動電圧に依存 するという特性を有しており、駅動電圧を高くすると助 作周波数を高くすることができ、駆動電圧を低くすると 動作周波数を低くすることができる。上述した本発明の ができる。このことは、低消費権力化を採現させると共 いように制御することが可能になる。即ち、システムの トロールして駆動電圧をスイッチングしているので、フ ル・パワー・モードとDCパイアス・モードをもつこと 下降を閉御してシステム全体の処理出度を落すことがな 動作中は処理選度を上げ、非動作中は処理選度を下げる **分散パワー・マネージメント・システムは、鬼獣をヨン** に、システムの動作、非動作によって処理速度の上界と 超倒も可能になる。

> ラが待避状態に入ったとき、P 1/0のP R が、S - R AM(メインメモリ)の亀坂をコントロールして、D C パイアスモードにする。疑似SーR AMは、セルフ・リ

[0203]図15は、図7に示されたパワー・コント ロールのブロック図に対応したパワー慰賞の信号液形と 制御信号A、Bによってスイッチングされる観歌の動き を示すタイミング・チャートである。

-RAMも、EP-ROMもE² PROM₹の他のRO

Mも全てROMとして扱う。

タを保持するのでDCバイアスモードが存在し物理的に

bパワーオフができるのでパワーオフモードが存在す

【0198】ROMは、メモリの舞談を説断してもデー

【0197】ICメモリカードは、多様なメモリが使わ れる部分である。大きくは、ROMとRAMである。M

フレッシュなので、D – R AMと同様にDCパイアイモ

ードは設定しない。

[0204] 回ち、図15は、外部のパワー・コントロ せる)を通してCPUやI/Oコントローラのそれぞれ の風源をコントロールする制御信号A、Bの液形例を示 トからの入出力信号によって、例御信号A,Bを合成さ

[0205]なお、制御信号A, Bの液形はCPUやそ

RAM、疑似S-RAMがあるが、I Cメモリカードは

【0199】他方、RAMの場合は、D-RAM、S-

(19

核飲を複数段階に設定してクロック周波数を下げる。ク マシンステートセーブは、KBC内の状態を一時記憶さ スモードは設定しない。なぜならば、キー入力は非同期 入力であり、キー入力があったことをシステムに知らせ なければならず、特にスペシャル・キーSKを帮に受付 けなければならない。 しかしシステムアプリケーション によっては待機状態でのみキー入力を受け付けるシステ 扱定できる。タイムアウトは、KBCでは、このモード を設定しない。なぜならば、非周期入力であるためにキ

ロックストップは、KBC内のクロックを停止させる。 せる。DCバイアスモードは、KBCでは、DCバスア

[0191] ここで、投10の各項目を説明する。

【0192】クロックダウンは、KBC内のクロック周

特图平5-210433

【0206】図16は、本発明のパワー・コントロール の第2実施例の構成を示すプロック図である。

【0207】図16の個別制御部PRは、個別制御部P R自体でも電弧をコントロールできるように構成されて 【0208】図16の個別制御部PRは、図1に示す本 免吗のパワー・コントロールの第1英権倒に対した、パ ワー・コントロールするためのロジック・ブロックが追 【0209】追加されたロジック・ブロックは、制御ゲ -ト16、及び制御ゲート16に接続されたフリップ・フロ ップパによって構成されている。 【0210】上記ロジック・プロックでは、慰御ゲート 16はマイクロ・オーダ及びデータ、レジスタの出力ピッ トであるパワー・コントロール・ピットの出力信号をそ れぞれ入力し、フリップ・フロップ17は制御ゲート16の のオン状態またはオフ状態に基づいてPCCへの入力値 出力に基づいてオン状態またはオフ状態を形成して、こ 号Ai. Biを出力する。

[0211] 図17は、このときのパワー制御の倡号被 形である制御個号A,制御信号Bを示すタイミング・チ ヤートである。図17は、更に、耐御信号A、制御信号 Bによって制御される電源の動きも示している。

トロールされるので、スタンパイ・モードに入るときは 見遊が-V. ccにスイッチングされるため、信号レベル 【0212】歯御傷号Aは、個別勘御部BR自体でコン は図17に示すようになる。

【0213】また、制御信号Bは、フル・パワー・モー ドでは電源が一Vccにスイッチングされるため、図14

に示すようになる。

【0214】即ち、スタンパイ・モードにする偕号が制 御暦号Bであり、フル・パワー・モードにする信号が制 **御信号Aである。**

号A,制御佰号Bの波形は、CPUやそれぞれのI/O 【0215】図18は、個別制御部PR自体でパワー制 **御を行うときのブロック図を示している。なお、制御信** コントローラの機能的な特性やシステムによって異な [0216] 図19は、図18のCPUに関する構成を 詳細に示す図である。

[0217] 図19に示すように、CPUは、個別制御 部PRと、個別制御部PRに接続されていると共にPC る。また、図19には、オン電流、オフ電流はトランジ スタ回路部とPCCの端子Ai,Biとの間を流れを示 Cにも接続されているトランジスク回路部を備えてい している。

- CMOSはPCCの各端子Ai, Biに接続されてい 【0218】図19に示すように、CPUや他の1/0 コントローラにはBi-CMOSが含まれており、Bi ると共に、CPUや他のI/Oコントローラに含まれて

【0219】表11は、図1のコマンド・レジスタによ いる個別制御部PRに接続されている。 5.パワー・マネージメント命令を示す。

(38)

P1/0 の商品会割器PRを製作回続はペワー・セキージメント命の

2 0 0 × 0 0 0 O O 0 0 O × × × × 0 CR206K+18 CR2 (6) CR103E718 CR1 (3) CR2@2K+18 CR2 (2) CR204K+18 CR2 (4) DC/477. €- F CR2Ø5E+18 CR2 (5) CR207 E + 18 CR2 (7) CR208 87 18 CR2 (8) CR1018718 CR1 (1) CR102K+18 CR1 (2) CR1048718 CR1 (4) CR105K+18 CR1 (5) CR106E+18 CR1 (6) CR1072+18 CR1 (7) CR201 K+ 18 CR2 (1) CR203E+18 CR2 (3) 益曾 命令の奴配 朱定章 (定義可能) 1-01:00 スピード・グウン 朱妃貴 (范蠡可能) 189-147 117-117 104.400 144.Th 189-147 スピード・フル 命令の名称 184--681 ディスプレイ・ 1177511

[0221] 妻12は、妻11に示した図1のコマンド ・レジスタの構成内容を示す。

[0222] [表12]

x

0

CR10887+18 CR1 (8)

(13)

(パワー・オン時に予め、プログラムで命令をセットしておく) コマンド・レジスタCR (8ビット×2本)

CR2	CR1
-	
2	2
<u>س</u>	3
4	4
ις.	2
9	9
7	7
∞	æ

【0223】表13は、図1のステイタス・レジスタの

構成内容を示す。

S II S		SN 1	Ş	388	SH(11	SW1 10	6 tHS	\$R 2
3	_	SNI 6	SHI S	3	SKI 3	SHI 2	SKI I	SR 1
						•		

SH3, SH2, SH1:システムの伏憩を示す

: マスケー (主) とスレーブ (従) のスイッチ・フラッグ

KNI (SIキー人力) : Non Markable Interrupt (マスクできない割込)

SWI | ~SWI | | System Haasgebent Interrapt (システム管理による創込)

[0220] [0225] 表14は、表13に示した状態を殺すSM

3, SM2, 及USM1の具体的な内容を示す。

[表14]

SNS	~	SM1.	各デバイスの状態
0		0	イニシャライズ状態
0			待機状態
-		0	待避状態
		H	実行状態
. 0		0	
0		-	(3) [H O) H O H
-		0	不比我(比我叫服)

1~SM11のスイッチ・ロジックを示す。 [0227] 表15は、表13に示したN/S, NMI, SM

(20)

(表15)

[0228]

種類	PRとP1/0のスイッチ・ロジック
I INS	V D C Ø S H I
SWI 2	FMCOSHI
SM! 3	S I / O (II) ØSHI
SM1 4	DMACOSHI
SMI 5	INTCOSKI
g IMS	CTCOSKI
I HS	RTCOSMI
S NE S	INS@0/1 d
e INS	S 1/0 (1) ØSKI
SM1 10	K B COSHI
SHI 11	C P U OSKI

【表16】 コントロール・レジスタCLR(8ビット×2本) [0230] 【0229】表16は、図1のコントロール・レジスタ の構成内容を示す。

CLR2 (クロック・ダウン値)	CLR1(タイム・アクト値)
_	-
2	2
3	3
þ	4
5	5
6	9
7	7

それぞれの値は、プログラムでセットする。

【0231】また、殺17及び数18は、コントロール・レンスタのクロック・ダウン値及びタイム・アウト値

[0232] [表17]

をそれぞれ示す。

(21)

特周平5-210433

	1/4部1/8路1/188
	名 名 名 2 2 3 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
	部17
	91/
CLR2の5ピット目がセット 1/	1 / 20倍
CLR2の6ビット目がセット スピー	スピード・ダウン
CLR2の7ビット目がセット.	スピード・フル
CLR208 8 - 1 20 - 1	7442.0400

[表18]

	タイム・アウト値
CLR1の1ビット目がセット	4倍
CLR1の2ビット目がセット	8倍
CLR1の3ピット目がセット	12倍
CLR1の4ビット目がセット	号91
CLR1の5ピット目がセット	20倍
こしR1の6ピット目がセット	别便
CLR1の7ビット目がセット	28倍
CLR1の8ピット目がセット	到66

[0235]

(22)

(各ビットのフラッグのセットはプログラムで行い、 このデータをパワー・コントロールポートに出力する。) [和19] データ・レジスタDR (8ピット×2本)

DR1
1
2
က
4
5
9
7
∞

[0236]

[限20]

4 408k	の部の命令	
VDCのパワー・コントロール	DR1の1ビット目	
FMCO/4732/10-A	DR102K+18	
81/0 (I) 0 	DR1@3K*+8	
DMACOM93768-1	DR1048, 18	
1 NTC 01/5-13/10-11	DR105ビットB	各手バイスの
CTCのパワー・コントロール RTCのパワー・コントロール	DR106E+1B DR107E+1B	-47519
11-04/c01/00/14	DR108ピット日	
(1) 0 / 18 4-04<5731	DR2015718	
KBCO**737}	DR202K, NB	
CP Uのパワー・コントロール	DR2034,18	
ディスプレイ・パワー・オフ	DR204ビ, 18	
パックライト・パワー・オフ	DR2058,18	147-127 P
147-147	DR 206K+ FB	- ル定義の略な フラッグ

[02.33]

[0234]表19及び表20は、図1のデータ・レジ

DR2のフビット目

147-147

DR2084,18

F12764/142947 187--#2

<u>8</u>

ジメント命令がある中でその一隅であり、また各レジス **【0237】 投11~投20は、多様なパワー・マネー** タの構成内容も多様である中での一例である。

図22のフローチャートをそれぞれ眷照して、図1に示 の動作がシステムアプリケーションによって種々ある中 [0238]次に、上記表11~数20、及び図20~ す P 1 ∕0の個別制御御 B Rのパワー・マネージメント で、その一門を説明する。

シャライズ) して (ステップS1)、図1のP1/0の をF306にセットすると共に、ステイタス・レジスタ を表す) にセットして (ステップS2). P1/0の個 S3)、イニシャライズが終了したか否かを判定し(ス がない(NO)と判定された場合には、上記ステップS った (YES) と判定された場合には、"マスクできな 【0239】まず、図9に示す益列入出力コントローラ ポート~斯4ポート、第1グループ・コントロール、及 び類2グループ・コントロールをそれぞれ初期化 (イニ 個別制御部PRを構成しているコマンド・レジスタCR SR、コントロール・レジスタCLR、及びデータ・レ **宮鮭図版 B R をイニシャライズ状態に設定し(ステップ** テップS4)、上記ステップS4でイニシャライズが終 (ステップS5)、上紀ステップS5でSKキーの割込 返して実行し、上記ステップS5でSKキーの割込があ い割込" (Non-Maskable Interrupt, 以下、NM1と称 する)を1にセットすると共に、マスター/スレーブの (ステップS7)、"待避伏憩" (表144年間)を形成 (P1/0)を構成しているコマンド・レジスタ. 第1 アしていない(NO)と判定された場合には、スペシャ **3に戻ってSKキーの割込があるまでルーティンを繰り** 0、SM2を1,及びSM1を0にそれぞれセットして ジスタDRをそれぞれの000(各数値はhexiadecimal フラッグ (以下、M/Sと称する) も回時に1にセット ル・キー(SKキー)の割込があったか否かを判定し し (ステップS6)、システムの状態を表すSM3を し (ステップS8)、処理1を実行する (ステップS

[0240] ここで、図23を参照して、処理1の内容 を説明する。

場合には、コントロール・レジスタCLR2の2番目の 2) 、クロック・ダウン値を1/8倍 (表17参照) に 【0241】図23に示すように、処理1では、コマン ド・レジスタCR2の2番目のピットCR2 (2) が1 S)(即ちクロックをコントロールする)と判定された ピットCLR2 (2) を1にセットして (ステップS9 か)を判定し (ステップS91) 、上記ステップS91 セットして処理を終了する(ステップS93)。また、 上記ステップS91でコマンド・レジスタCR2(2) であるか否か (即ちクロックをコントロールするか否 でコマンド・レジスタCR2 (2) が1である (YE

ップS10)、上記ステップS10でSKキーの創込が ない(NO)と判定された場合には、上配ステップS8 の割込があった(YES)と判定された場合には、NM ば、再びSKキーの割込があったか否かを判定し(ステ の"待避状態"に戻り、上記ステップS10でSKキー 1)、SM3, SM2, 及びSM1を0に, コントロー ル・レジスタCLRを0000にそれぞれりセットして I 及びM/Sをそれそれのにりセットし (ステップS) [0242] 図20に戻って、処理1を終了したなら (ステップS12)、上配ステップS3に戻る。

の割込があったか否かを判定し(ステップS15)、上 **ットして(ステップS17)、"待遊状態"(表14巻** "待機状態"が形成され (ステップS14) 、SKキー SM3を0, SM2を1, 及びSM1を0にそれぞれた S) と判定された場合には、SM3を0, SM2を0, SM1を1にそれぞれセットして (ステップS13)、 配ステップS 15でSKキーの割込があった(YES) に、M/Sも同時に1にセットレ (ステップS16)、 [0243] 続いて、図20及び図21に示すように、 上記ステップS4でイニシャライズが終了した(YE と判定された場合には、NMIを1にセットすると共 照)を形成し (ステップS18). 処理2を実行する (27y7S19).

[0244] ここで、図24を参照して、処理2の内容

であるか否か (即ち、パワーをオフするか否か) を判定 ンド・レジスタCR2 (6) が1である (YES) (即 ちパワーをオフする)と判定された場合には、データ・ オフ (表204年) して (ステップS193)、データ 【0245】図24に示すように、処理2では、コマン し (ステップS191) 、上記ステップS191でコマ レジスタDR2の4番目のピットDR2(4)を1にセ ットし (ステップS192)、ディスプレイ・パワーを ・レジスタDR 2の5番目のピットDR2 (5) を1に セットし (ステップS194) 、バック・ライトをオフ ド・レジスタCR2の6番目のピットCR2 (6) が1 (数20参照) する (ステップS195)。

目のビットCR2 (5) が1であるか否か (即ち、DC タ・レジスタDRの内容を第1ポートに出力して (ステ 【0246】続いて、コマンド・レジスタCR2の5番 6). 上記ステップS196でコマンド・レジスタCR 2 (5) が1である (YES) (即ちDCパイアス・モ **-ドである)と判定された場合には、データ・レジスタ** DRを1FFFにセットし (ステップS197)、デー ップS198)、DCパイアス・モードを形成する (ス パイアス・モードか否か)を判定し (ステップS19 Fy78199)。 [0247] 更に、コマンド・レジスタCR2の2番目 のビットCR2 (2) が1であるか否か (即ち、クロッ

が1でない(NO)と判定された場合には、処理を終了

ゲータ・レジスタDR2の1番目のピットDR2 (1)

R2 (2) が1である (YES) (即ちクロック・コン Iにセットし (ステップS1911)、クロック・スト 0)、上記ステップS1910でコマンド・レジスタC トロールである)と判定された場合には、コントロール ・レジスタCLR2の8番目のピットCLR2(8)を ク・コントロールか否か)を判定し (ステップS191 ップ (数17参照)を形成する (ステップS191

ば、再びSKキーの割込があったか凸かを判定し(ステ ップS20)、上記ステップS20でSKキーの割込が あった(YES)と判定された場合には、NM1及びM /Sをそれぞれのにりセットし (ステップS21)、S レジスタCLRを0000に、データ・レジスタDRを M3及びSM2を0に、SM1を1に、コントロール・ 0000にそれぞれりセットして (ステップS22)、 [0248] 図21に戻って、処理2を終了したなら データ・レジスタD Rの内容を築1ポートに出力して (ステップS23)、上記ステップS14に戻る。

ブS24)、上記ステップS24でCR1 (1) か1で 8 に戻り、他方、上記ステップS 2 4 でCR 1 (1) が 【0249】また、上記ステップS20でSKキーの割 込がない(NO)と判定された場合には、コマンド・レ ジスタCR1の1番目のピットCR1 (1) が1である か否か(即ち、パワー・オンか否か)を判定し(ステッ ない(NO)と判定された場合には、上配ステップSI 1である (YES) と判定された場合には、データ・レ ジスタDR2の8番目のピットDR2 (8) を1にセッ トし (ステップS25) 、ディスプレイ/バックライト をオンにして (ステップS28)、上記ステップS18

【0250】上記ステップS15でSKキーの割込がな い (NO) と判定された場合には、処理3を実行する (ステップS27)。

【0251】ここで、図25を参照して、処理3を説明

 SMI_1 が1でない (NO) と判定された場合には、D[0252] 図25に示すように、処理3では、M/S を1にセットし (ステップS271) 、"システム管理 SM1と称する))のSM11 が1であるか函かを判定 し (ステップS272) 、上記ステップS272でSM | 」が1である (YES) と判定された場合には、デー ン) し (ステップS273)、上配ステップS272で 【0253】続いて、SMI2 が1であるか函かを判定 し (ステップS275) 、上記ステップS275でSM 12 が1である (YES) と判定された場合には、デー タ・レジスタDR1の1番目のピットDR1(1)を1 タ・レジスタDR1の2番目のビットDR1 (2) を1 による割込 " (System Management Interrupt (以下. にセット (町ち、VDCのパワー・コントロールをオ R1 (1) を0にセットする (ステップS274)。

ン)し (ステップS276)、上記ステップS275で SM12 が1でない (NO) と判定された場合には、D 78でSM13が1でない (NO) と判定された場合に j が1である (YES) と判定された場合には、データ ・レジスタDR1の3番目のビットDR1(3)を1に セット (即ち、S1/0 (11) のパワー・コントロー ルをオン)し(ステップS279)、上記ステップS2 は、DR1 (3) を0にセットする (ステップS271 [0254] 以下、SM13 が1であるか否かを判定し (ステップS278)、上記ステップS278でSM1 にセット (即ち、FMCのパワー・コントロールをオ R1 (2) を0にセットする (ステップS277) 。

を1にセット (即ち、DMACのパワー・コントロール 7 1 1でSM1g が1でない (NO) と判定された場合 をオン)し (ステップS2712)、上記ステップS2 には、DR1 (4) を0にセットする (ステップS27 【0255】 **周様に、SM14 が1であるか否かを**判定 し (ステップS2711) 、上記ステップS2711で データ・レジスタDR1の4番目のピットDR1(4) SMI4 が1である(YES)と判定された場合には、

[0258] SM15 が1であるか否かを判定し (ステ 【0257】SMI6 が1であるか否かを判定し (ステ レジスタDR1の6番目のビットDR1 (6) を1にセ 【0258】SM17 が1であるか否かを判定し (ステ レジスタDR1の7番目のピットDR1 (7) を1にせ ット (閂ち、RTCのパワー・コントロールをオン) し M17 が1でない (NO) と判定された場合には、DR (0259] 同様に、SM19 が1であるか舀かを判定 ップS2714)、上記ステップS2714でSM15 が1である(YES)と判定された場合には、データ・ レジスタDR1の5番目のピットDR1(5)を1にセ し (ステップS2715) 、上記ステップS2714で SM15 が1でない (NO) と判定された場合には、D ップS2717)、上記ステップS2717でSM16 が1である (YES) と判定された場合には、データ・ ット (凹ち、CTCのパワー・コントロールをオン) し (ステップS2718)、上記ステップS2717でS M16 が1でない(NO)と判定された場合には、DR ップS2720)、上記ステップS2720でSM17 (ステップS2721)、上記ステップS2720でS し (ステップS2723) . 上記ステップS2723で ット (町ち、INTCのパワー・コントロールをオン) R1 (5) & O C t = v + f 5 (27 = 7 2 7 16). SMIg が1である (YES) と判定された場合には、 が1である (YES) と判定された場合には、データ 1 (8) を0にセットする (ステップS2719)。 1 (1)を0にセットする (ステップS2722)。

を1にセット (町ち、S1/0 (1) のパワー・コント ロールをオン)し(ステップS2724)、上記ステッ TS2723でSM1g が1でない (NO) と判定され **た場合には、DR2(1)を0にセットする(ステップ**

【0260】SMI₁₀が1であるか否かを判定し (ステ ップS2726)、上紀ステップS2726でSMI10 (ステップS2727)、上記ステップS2726でS M110が1でない (NO) と判定された場合には、DR レジスタDR2の2番目のピットDR2 (2)を1にセ ット (即ち、KBCのパワー・コントロールをオン) し が1である(YES)と判定された場合には、データ・ 2 (2) を0にセットする (ステップS2728)。

(ステップS2729)、上記ステップS2729でS M111が1である (YES) と判定された場合には、デ -タ・レジスタDR2の3番目のピットDR2 (3) を ン) し (ステップS2730)、上記ステップS272 1)。これらデータ・レジスタDRの内容をP1/0の 第1ポートに出力して (ステップS2732)、DCバ イアス・モードを設定する (ステップS2733)。 即 処理3では、SM1の要求があったデバイスのパワ [0261] 更に、SMI₁₁が1であるか否かを判定し 1にセット (即ち、CPUのパワー・コントロールをオ は、DR2 (3) を0にセットする (ステップS273 9でSMI₁₁が1でない (NO) と判定された場合に -をコントロールする。

は、実行イベントがあるか否かを判定し(ステップS2 の1番目のピットCR2 (1) が1であるか否かを更に 判定し (ステップS29)、上記ステップS29でCR 2 (1) が1でない (NO) と判定された場合には、上 RステップS14に戻る。また、図21及び図22に示 すように、上記ステップS29でCR2 (1) が1であ る(YES)と判定された場合には、コントロール・レ **ジスタCLR2の3番目のビットCLR2 (3) を1に** セットして (ステップS30)、クロック・ダウン値を 0)と判定された場合には、コマンド・レジスタCR2 [0262] 図21に戻って、処理3を終了したなら 8)、上記ステップS28で実行イベントがない (N 1/12倍に設定する (ステップS31)。

ータ・レジスタDRの内容を築1ボートに出力し(ステ 7533). SM3&0C, SM2&1C, SM1& 1にそれぞれセットし (ステップS34)、 東行状態を 形成し(ステップS35)、プリント命令があるか否か 【0263】他方、上記ステップS28で実行イベント がある (YES) と判定された場合には、ステイタス・ レジスタSR、コントロール・レジスタCLR,及びデ ータ・レジスタDRをそれぞれ0000にセットすると 同時に、M/Sを0にセットし (ステップS32)、デ を判定し (ステップS36) 、上配ステップS36でブ リント命令がない (NO) と判定された場合には、SK

にセットし (ステップS38). SM3を0に, SM2 と判定された場合には、NMI及びM/Sをそれぞれ1 を1に,そしてSM1を0にセットして (ステップS3 9)、待避状態を形成して(ステップS40)、処理4 上記ステップS37でSKキーの割込がある(YES) キーの割込があるか否かを判定し(ステップS37)、 を実行する (ステップS41)。

[0264] ここで、図26を**参照して、処理**4を**説**明

(4) を1にセットし (ステップS412)、ディスプ のピットDR2(5)を1にセットし (ステップS41 S417)、上記ステップS417でCR2 (5) が1 テップS 4 1 9)、DCパイアス・モードに設定し (ス (1) が1である (YES) と判定された場合には、コ ントロール・レジスタCLR 2の2番目のピットCLR CR2の7番目のピットCR2 (7) が1であるか否か でCR2 (7) が1である (YES) と判定された場合 には、データ・レジスタDR2の4番目のピットDR2 レのパワーをオフに設定し (ステップS413)、コマ ンド・レジスタCR2の6番目のビットCR2 (8) が |であるか否かを判定し (ステップS414)、上記ス テップS414でCR2 (8) が1である (YES) と 引定された場合には、データ・レジスタDR2の5番目 5)、バック・ライトのパワーをオフに設定し (ステッ **プS416)、コマンド・レジスタCR2の5番目のビ** ットCR2 (5) が1であるか否かを判定し (ステップ である(YES)と判定された場合には、データ・レジ データ・レジスタDRの内容を第1ポートに出力し(ス テップS4110)、コマンド・レジスタCR2の1曲 目のピットCR2 (1)が1であるか否かを判定し (ス テップS4111)、上記ステップS4111でCR2 2 (2) &1にセットして (ステップS4112)、ク ロック・ダウン値を1/8倍に設定する (ステップS4 【0265】図26の処理4では、コマンド・レジスタ を判定し (ステップS411)、上記ステップS411 スタDRを1FFFにセットし (ステップS418). 113),

あった (YES) と判定された場合には、NMI及びM ジスタDRを0000にそれぞれりセットして (ステッ は、用びSKキーの割込があったか否かを判定し(ステ ップS42)、上記ステップS42でSKキーの創込が /Sをそれぞれ0にリセットし (ステップS43)、コ ントロール・レジスタCLRを0000に、データ・レ ブS44)、上記ステップS33に戻る。また、上記ス アップS42でSKキーの創込がない (NO) と判定さ [0266] 図22に戻って、処理4を実行したなら れた場合には、上記ステップS40に戻る。

[0267] 上記ステップS37で、SKキーの創込が ない(NO)と判定された場合には、処理5を実行する (ステップS45)。

[0268] ここで、図27を参照して、処理5を説明

【0270】SMI2 が1であるか否かを判定し (ステ オン)し (ステップS453) 、上配ステップS452 である(YES)と判定された場合には、データ・レジ スタDR1の2番目のピットDR1 (2) を1にセット (問ち、FMCのパワー・コントロールをオン) し (ス [0269]図27の処理5では、M/Sを1にセット **判定し (ステップS452) 、上記ステップS452で** データ・レジスタDR1の1番目のピットDR1(1) を1にセット (凹ち、VDCのパワー・コントロールを DRI (1) を0にセットする (ステップS454)。 ップS455)、上記ステップS455でSM I2 が I デップS 4 5 6)、上記ステップS 4 5 5 で SM I 2が し (ステップS451)、SM11が1であるか否かを 1でない (NO) と判定された場合には、DR1 (2) SMII が1である (YES) と判定された場合には、 でSM11 が1でない(NO)と判定された場合には、 を0にセットする (ステップS457)。

である(VES)と判定された場合には、データ・レジ 【0271】SMI3 が1であるか否かを判定し (ステ (即ち、SI/O (II) のパワー・コントロールをオ ン) し (ステップS459) 、上配ステップS458で SMI_3 が1でない (NO) と判定された場合には、D[0272] 同様に、SMI4 が1であるか否かを判定 を1にセット (即ち、DMACのパワー・コントロール 5 1 1 でSM I4 が 1 でない (NO) と判定された場合 には、DR1 (4) を0にセットする (ステップS45 スタDR1の3番目のピットDR1 (3) を1にセット し (ステップS4511) 、上記ステップS4511で をオン)し (ステップS4512) 、上配ステップS4 ップS458)、上記ステップS458でSMI3が1 R1 (3) を0にセットする (ステップS4510)。 **データ・レジスタDR1の4番目のビットDR1(4)** SM14 が1である (YES) と判定された場合には

レジスタDR1の5番目のピットDR1 (5) を1にせ SM15 が1でない (NO) と判定された場合には、D シト (閂ち、CTCのパワー・コントロールもメン) し (ステップS4518)、上記ステップS4517でS 【0273】SM15が1であるか否かを判定し (ステ し (ステップS4515)、上記ステップS4514で フジスタDR166 毎日のアットDR1(6) 巻1にた 【0274】SM16 が1であるか否かを判定し (ステ ップS4514)、上記ステップS4514でSMI5 が1である(YES)と判定された場合には、データ・ ット (凹ち、INTCのパワー・コントロールをオン) R1 (5) を0にセットする (ステップS4516)。 ップS4517)、上記ステップS4517でSM16 が1である(YES)と判定された場合には、データ・

 $M1_6$ が1でない (N0) と判定された場合には、 $ilde{D}R$ シト (臼も、RTCのパワー・コントロールをオン) し 7S4523でSM1g が1でない (NO) と判定され [0275] SM17 が1であるか舀かを料定し (ステ ノンスタDR1の7個日のピットDR1 (7) を1にセ (ステップS4521)、上記ステップS4520でS MI7 が1でない (NO) と判定された場合には、DR し (ステップS4523)、上記ステップS4523で ロールをオン)し (ステップS4524)、 上記ステッ た場合には、DR2(1)を0にセットする (ステップ が1である(YES)と判定された場合には、データ・ [0276]続いて、SM1g が1であるか否かを判定 を1にセット (凹ち、S1/0 (1)のパワー・コント ップS4520)、上記ステップS4520でSM17 データ・レジスタDR2の1春日のビットDR2 (1) SMIg が1である (YES) と判定された場合には、 1 (6) を0にセットする (ステップS 4 5 1 9)。 1 (1) を0にセットする (ステップS4522)。

S4525).

ップS4526)、上記ステップS4526でSM110 レジスタDR2の2番目のピットDR2 (2) を1にせ (ステップS4527)、上配ステップS4526でS M110が1でない (NO) と判定された場合には、DR [0278] 同様に、SM111が1であるか舀かを判定 オン)し (ステップS4530)、上配ステップS45 2.9 でSM111が1でない (NO) と判定された場合に は、DR2 (3) を0にセットする (ステップS453 1)。これらデータ・レジスタDRの内容をP1/0の 第1ポートに出力して (ステップS4532)、DCバ イアス・モードを設定し (ステップS4533)、コマ ンド・レジスタCR1の2毎回のビットCR1 (2) が 1であるか否かを判定し (ステップS4534). 上記 S)と判定された場合には、コントロール・レジスタ C LR2の6春目のピットCLR2(6)を1にセットし 【0277】SM110が1であるか否かを判定し (ステ が1である(YES)と判定された場合には、データ・ ット (町ち、KBCのパワー・コントロールをオン) し し (ステップS4529)、上記ステップS4529で を1にセット (即ち、CPUのパワー・コントロールを (ステップS4535) 、クロック・ダウン値をスピー ゲータ・レジスタDR2の3番目のビットDR2(3) SMI_{[1}が1である (YES)と判定された場合には、 27"7545347CR1 (2) M1786 (YE 2 (2) を0にセットする (ステップS4528)。

[0279] 図22に戻って、上紀ステップS36でプ リント命令がある (YES) と判定された場合には、コ が1であるか否かを判定し (ステップS46)、上記ス テップS 4 6 でC R 1 (3) が1でない (NO) と判定 マンド・レジスタCR1の3毎回のビットCR1 (3) ド・ダウンに設定する (ステップS4536)。

(38)

ド・フルに設定し (ステップS48). M/Sを0に設 テップS51)、上記ステップS51でSKキーの割込 に戻り、上記ステップS53で実行が終了しいる (YE 4)、データ・レジスタDRの内容を賄1ポートに出力 た、上記ステップS46でCR1(3)が1である(Y ES)と判定された場合には、コントロール・レジスタ CLR2の7番目のピットCLR2 (7) を1にセット して (ステップS47) 、クロック・ダウン値をスピー **宛し (ステップS 4 9)、 ブリントを出力し (ステップ** S50)、SKキーの割込があったか否かを判定し(ス があった(YES)と判定された場合には、上記ステッ ブS38に戻り、上記ステップS42でSKキーの割込 定し (ステップS53) 、上記ステップS53で実行が 終了していない (NO) の場合には上記ステップS35 S) の場合には、M/SをOに、ステイタス・レジスタ SR, コントロール・レジスタCLR, データ・レジス タDRを0000にそれぞれりセットし (ステップS5 がない(NO)と判定された場合には、上述した処理N 0,3を処理し (ステップS52)、実行終了か否かを判 L (ステップS55)、SM3を0に、SM2を0に、 された場合には、後述するステップS49に進む。ま SM1を1にそれぞれりセットして (ステップS5

[0280] 図28は、図7の剪1実施例と図18の第 動作は第1東筋例及び第2東施例にそれぞれ対応してい 2 実施例を組合わせた構成を示しており、各構成部分や 6). 上述したステップS14に戻る。 5ので説明を省略する。

る記憶手段と、記憶手段に接続されており記憶手段をア された電力マネージメント命令を記憶して処理する複数 [発明の効果] 第1発明のデジタル電子機器用電力制御 **英麗は、符合化された電力マネージメント命令を出力す** クセスするアクセス手段と、記憶手段に接続されており 記憶手段から出力された符号化された電力マネージメン ト命令を記憶する命令制御手段と、命令制御手段に接続 されており命令制御手段に記憶された符合化された電力 マネージメント命令を復号して制御信号を出力する復号 年段と、復号手段に接続されており復号手段により復号 のレジスタとを備えているので、胎理的システム手段に よりデジタル電子機器の電力を制御できる。

れたモードに基づいて入力及び出力を制御するので、処 (0282) 第2発明の処理装置は、消費電力が低減さ れるように電源を所定のモードに設定すると共に設定さ 理校園母に個々に属力を制御できる。

ステムは、処理装置の複数を一つ又は複数の大規模集構 いデジタル電子機器用電力管理システムを構成でき、そ (0283) 第3発明のデジタル電子機器用電力管理シ 回路で形成し、一つ又は複数の大規模集積回路の消費機 力が低減されるように各複数の処理装置の電力を制御す るので、システムの魅力を個々に制御して、自由度が高

の結果、各種成部分で極めて細かくパワーマネージメン トを行ってシステム全体の消費電力を大きく低減でき [0284] 表17のクロック・ダウン値や表18のタ 「ム・アウト値を設定する制御回路は、知られている方 **去で実現できるので特に図示していない。また、扱20** に示されるパワー・コントロール定義可能なフラッグに よるパワー・コントロールの制御回路も容易に実現でき 5ので、図示していない。

出する例を示していないが、第2実施例のように、CP も制御では、P1/Oの個別制御部PRがSM18 を検 [0285] 類1 実施例では、PI/0のSMI8 を検 **JやI/Oコントローラ自体でパワー・コントロールす** 出して、PI/OのDCパイアス・モードを設定する。

【図1】本発明のデジタル電子機器用電力管理装置の一 英施例である個別制御部の構成を示すブロック図であ 【図面の簡単な説明】

【図2】図1の個別制御部の動作を説明するためのフロ

【図3】図1の個別制御部を備えたシステムの一構成例 -チャートである。

を示すプロック図である。

【図4】電源がフルーパワー及びD Cパイアスに変化し たときの電쟁の動作を示す説明図。

【図6】 無瀬コントロール回路の一種成例を示すブロッ [図5] 図3のシステムの状態図である。

7図である。

【図7】図6の電源コントロール回路を用いたシステム 【図8】図7のCPU部分の一構成例を示す説明図であ の一構成例を示すプロック図である。

【図9】図1の個別制御御を有する並列入出力コントロ - ラの一種以気を示すプロック図である。

【図10】図9のコントローラに対応する個別制御部の 【図11】図10及び図11の並列入出力コントローラ ィジスタの一種規例を示すプロック図である。

【図12】図1の個別制御部を有する中央処理装置 (C PU)の一構成例を示すプロック図である。 の状態図である。

[図13] 図12のCPUに対応する個別制御棚のレジ スタの一構成例を示すブロック図である。

[図15] 図7に示されたパワー・コントロールのプロ 3によってスイッチングされる電源の勧きを示すタイミ [図14] 図12及び図13のCPUの状態図である。 ック図に対応したパワー制御の信号波形と制御信号A,

であり個別制御部自体でも電源をコントロールできる構 【図16】本発明のパワー・コントロールの第2実施例 **或を示す個別制御部のブロック図である。**

ノグ・チャートである。

【図17】図16の実施例の動作を説明するためのタイ

|図26||図22の処理4を説明するためのフローチャ ローチャートである。 -17.85.

【図28】本発明のパワー・コントロールの祭3英術例 である第1寅施例及び第2寅施例を組合わせた構成を示 【図21】図22の処理5を説明するためのフローチャ ートである。

[図19] 図18のCPU部分の一構成例を示す説明図 [図20] 図1のP1/0を構成する個別倒倒部の動作

[図18] 個別制御御自体でパワー制御を行うときのシ

ミング・チャートである。

ステムの一種成例を示すプロック図である。

すブロック図である。 (作品の説明) 10 リードオンリメモリ (ROM)

[図22] 図1のP1/0を構成する個別制御邸の動作 【図21】図1のP1/0を構成する個別制御部の動作

を説明するための類2のフローチャートである。 を説明するための類3のフローチャートである。

を説明するための第1のフローチャートである。

[図23] 図20の処理1を説明するためのフローチャ [図24] 図21の処理2を説明するためのフローチャ [図25] 図21と図22の処理3を説明するためのフ

ートである。

プログラム記憶部 12 アドレスカウンタ

位的合かフンスタ =

レジスタ・グループ 14 世俗の中ゲコーダ

<u>⊠</u>

多江西石 æ 422 レジスや アコロの人 $\overline{\Omega}$ タス・レジスの コマンド・フジスク ROM 10

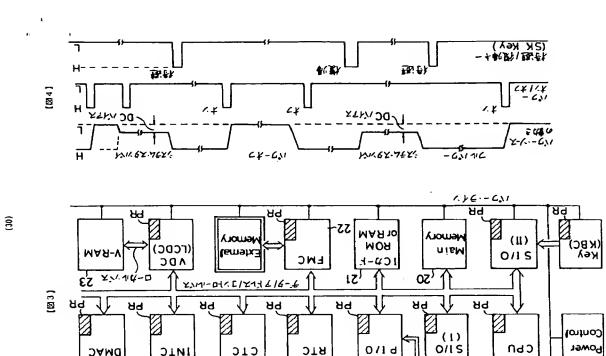
1740-4-1-XS 1.494.473 49+2-LVX9 2*519X*-1*5*X9 3721.478

[813]

9-9-1-329

(<u>88</u> e)

(88)

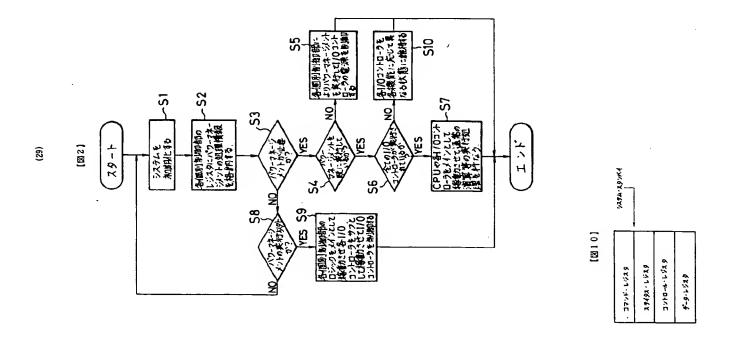


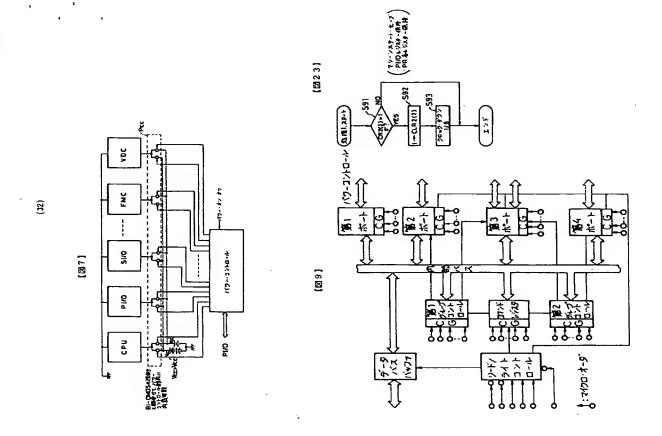
ЭТЯ

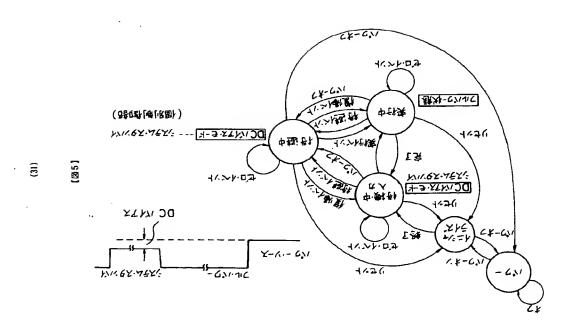
を引いっロインに来る

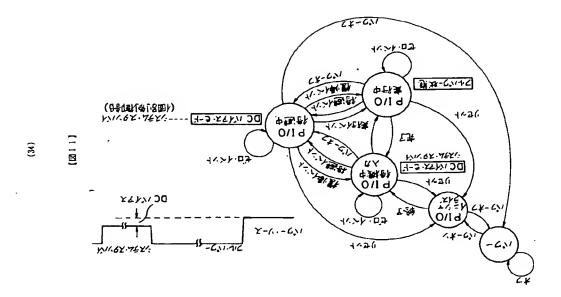
いんた歌の

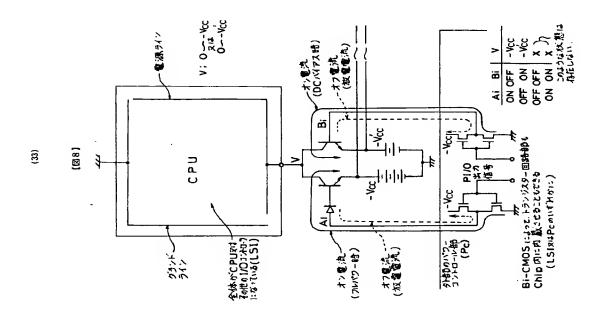
OID



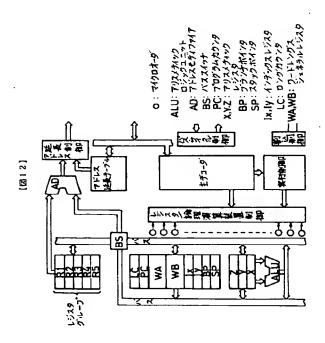


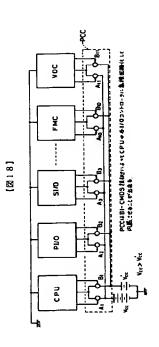


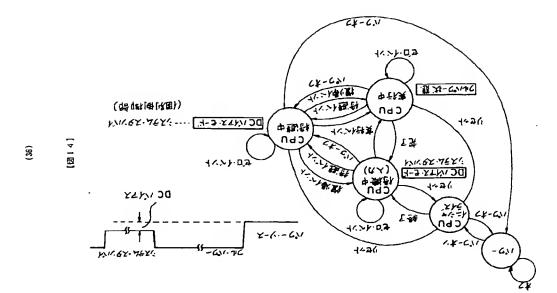


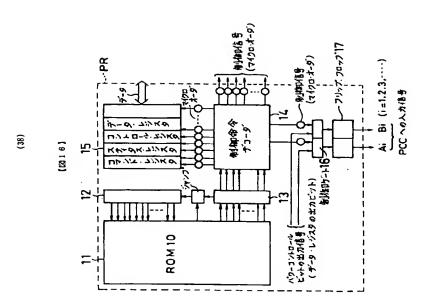


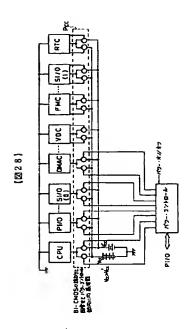
(35)

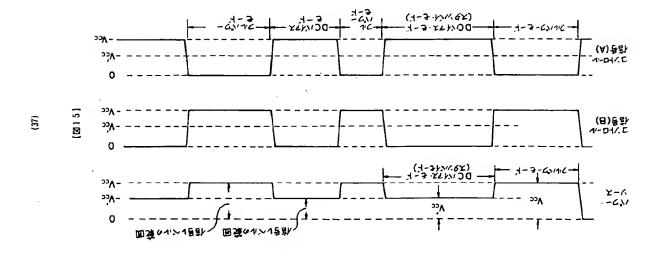


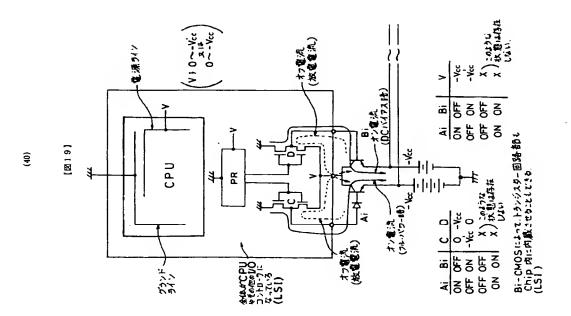


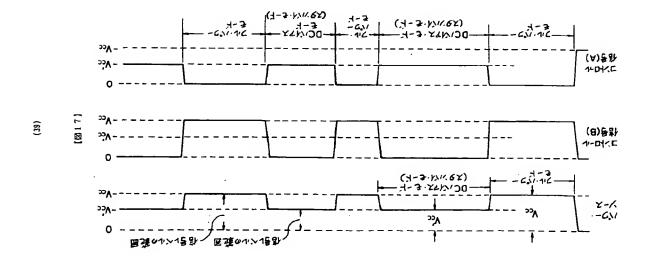


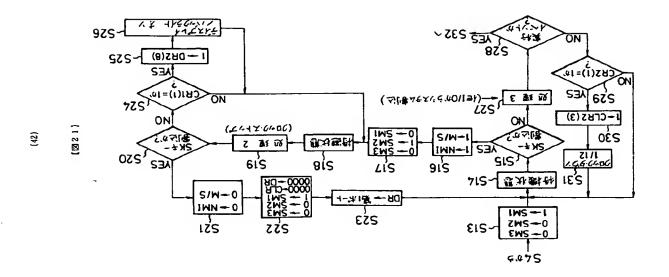


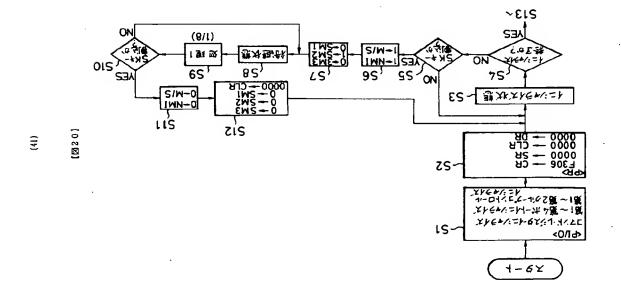




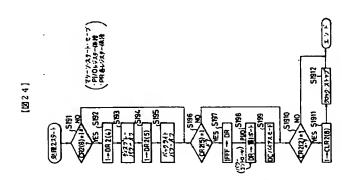




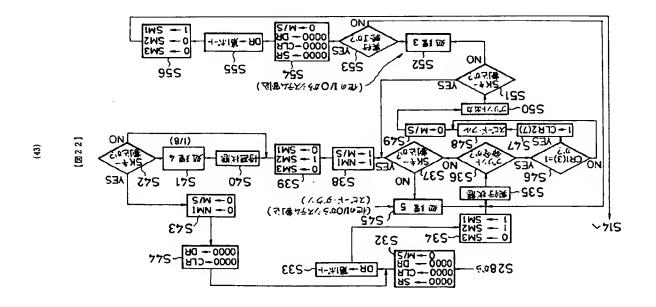




<u>\$</u>

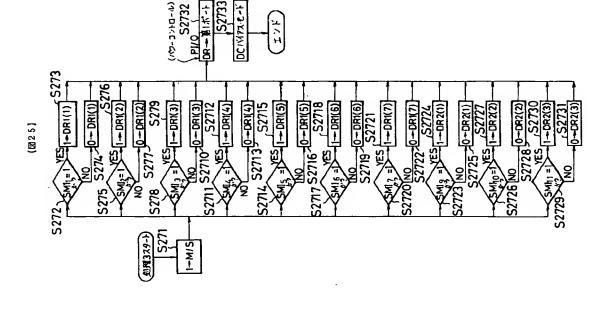






(46)

(45)



48

梅園中5-210433

「桶正対象項目名」特許請求の範囲 (提出日) 平成5年2月8日 (補正対象書類名) 明細書 【補正方法】変更 [手校補正1] 福正内容]

[手続補正書]

出力する記憶手段と、前記記憶手段に接続されており該 記憶手段をアクセスするアクセス手段と、前記記憶手段 と、前記命令制御手段に接続されており該命令制御手段 **タとを備えていることを特徴とするデジタル電子機器用** [雄水道]] 符号化された電力マネージメント命令を に接続されており核配億手段から出力された前配符号化 された気力マネージメント命令を記憶する命令倒御手段 に記憶された前記符号化された魅力マネージメント命令 を慎号して制御暦号を出力する復号手段と、前記復号手 段に接続されており該復号手段により復号された前記電 カマネージメント命令を記憶して処理する複数のレジス 【特許研求の範囲】 ■ 力制御装置。

【糖求項2】 消費電力が低減されるように電源を所定 のモードに設定すると共に当該設定されたモードに基づ いて入力及び出力を制御することを特徴とする請求項1 に記載のデジタル電子機器用電力制御装置を備えた処理

又は複数の大規模集積回路で形成し、該一つ1又は複数 【請求項3】 請求項2に記載の処理装置の複数を一つ の大規模集積回路の消費電力が低減されるように各核技 数の処理装置の亀力を制御することを特徴とするデジタ ル電子機器用電力管理システム。

【酵求項4】 外部から人為的に消費電力を減少させる **一ラは直前の状態に復帰して抜システム全体も直前の状** による電力制御は、待避状態において放デジタル電子機 **第**力消費を減少させることを特徴とする請求項3に記載 や各人出力コントローラがいつでも待避状態に入って核 システム全体も待避状態に入り、再度肢スペシャルキー による入力を各肢デジタル電子機器用電力制御装置が映 出したときには、該中央処理装置や該各入出力コントロ 器用電力制御装置毎に設定されたパワーマネージメント 命令を当該デジタル電子機器用電力制御装置が実行して ためのスペシャルキーを有しており、当該スペシャルキ 一による入力を各前記デジタル電子機器用電力制御装置 が検出したときに前記システムを構成する中央処理装置 節に復帰するように構成されており、数スペシャルキー のデジタル電子機器用電力管理システム。

【雄求項5】 前記パワーマネージメントに関して前記 システムを構成する前記中央処理装置や前記各入出力コ ントローラの電源は、前記デジタル電子機器用電力制御 核関によって制御されるので、慰動和田レベルが高い時 間と核駆動電圧レベルが低い時間があり、動作周波数も

せると同時に該システムが実行状態にあるかまたは非実 行状態にあるかによって処理速度の上昇または下降を制 特間的に上下するので、駭システムの電力消費を減少さ 即して肢システム全体の該処理速度を落すことなく制御 できることを特徴とする請求項4に記載のデジタル電子 機器用電力管理システム。

【手続補正2】

[補正対象項目名] 0011 【補正対象書類名】明細書

「補正方法】変更

【0011】 第3発明は、処理装置の複数を一つ又は (福正内容)

复数の大規模集積回路で形成し、一つ又は複数の大規模 製積回路の消費電力が低減されるように各複数の処理装 星の電力を制御するデジタル電子機器用電力管理システ ムによって達成される。また、第3発明は、外部から人

分割に入ってシュテム全体も特徴状態に入り、国産核文 **,ており、スペシセルキーによるスカを音デジタル電子** ペシャルキーによる入力を得デジタル電子機能を見力能 可数置が発売したときたは、企業の国数層や収益人出力 コントローラは直前の状態に復帰してシステム全体も直 **動和に間目載力を減少させるためのスペシャルキーを有** ●無子面力制 新祭園が壊出したときにシステムを構成す 5中央別画祭園を香入型カコントローラがいコアも待避

キード、よる罵力統領は、特定代職においてデジタル配子 出力コントローラの無深は、デジタル電子開放。10億力制 ・命令をデジタル電子機関係電力耐能設置が実行して配 **力消費を減少させるデシタル電子開発用電力管理シスチ** メントに関してシステムを構成する中央仏理教院や会人 5の技物には最するように関鍵されており、スペシャル 機器用盤力制御装置低に設定されたパワーマネージメン **ムであってもよい。更に、賄3発明は、パワーマネージ**

するので、システムの電力を個々に制御して、自由度が

高いデジタル電子機器用電力管理システムを構成でき、

【0283】 第3発明のデジタル電子機器用電力管理 システムは、処理装置の複数を一つ叉は複数の大規模象 **韓回路で形成し、一つ又は複数の大規模単根回路の消費** 見力が低減されるように各複数の処理装置の電力を制御

(補正方法) 変更

福正内容]

[手続補正4]

門にあるかによって処理連盟の上昇または下陸を制造し アシステム全体の近周速度を落すことなく制御できるデ 気勢着によって割削されるので、 駆動権をレベルが強い 発因子の表質にフヘルが倒りが関わらり、自信を対象を 高間的に上下するので、システルの無力消費を減少させ 5.と。商にシステムが変行位機にあるかまたは非実行は ジタル電子構造出配力管理システムであってもよい。

【補正対象項目名】0014 補正対象書類名》明細書

補正方法】変更

福正内容》

費電力が低減されるように各種数の処理装置の電力を制 明する。また、第3条別のデジタル電子倒認所置力管理 ンステムでは、処理装置の複数を一つ又は複数の大規模 東橑回路で形成し、一つ又は複数の大規模集積回路の消 0014】 第3発明のデジタル電子機器用電力管理

成されており、スペシェルキーによる取力的詞は、特望 技器においてデジスル第子機器、日間力配別名誉権に設定 されたパワーマネージメントの当をデジタル属子機関目 パワーマネージメントに関してシステムを構造する中央 子機器用電力部別装置によって部別されるので、配数を 力消費を減少させるとは際にシステムが東行状態にある かまたは非実力が際にあるかによって処理速度の上昇ま たは下陸を制度してシステム全体の研究理理を落すこと システルでは、外配から人語的に問題舞力を選少させる ためのスペシャルキーを有しており、スペシャルキーに たと各にシステムを開設する中央防理整理や各人的方式 ントローラがいつでも倍級状態に入ってシステム全体も 侍妻扶門仁人り。 再度勝スペシャルキーによる入力を各 中央処理技量や財各人出力コントローラは直前の状態に **開催してシステム全体も直向の状態に関係するように関** り、動作医療数本時間やに上下するので、システムの質 よる人力を台デジケル電子機能用電力制度設置が検出し **処理技器や各人出力コントローラの電視は、デジタル側** 常力制御装置が東行して真力配置を減少させる。 型に、 **第3代別のデジタル電子開照用電力管理システムでは、** デジタル電子機能用電力制御物間が開出したときには、 用アスチが充い原因と図る者にアスチが向い部門があ ,補正対象項目名】0283 (補正対象書類名)明細書

別できるので、システムの魅力を加々に削削して、自由 その結果、各種成節分で極めて細かくきパワーマネージ メントを行ってシステム全体の消費職力を大きく低減で きる。また、知3発明のデジタル電子的別用電力管理シ 7于点は、発配から人為的に問見聞力を減少させるため のスペシェルキーを有しており、スペシェルキーによる ローラがいつでも待避状態に入ってシステム全体も待退 伏暦に入り、再度核スペシャルキーによる人力を各デジ 7. 及平田 然年 医力争 医数量が増出したときには、中央 別提及置や数各人出力コントローラは前前の終期に複雑 してシステム全体も設定の状態に関係するように関値さ れており、スペシャルキーによる果力制度は、特別状態 においてデジタル電子情報旧画大副和教園型に配定され たパワーマネージメント的信をデジタル属手供商店配力 前面夠置が単行して属力信息を減少させるので、システ Aの乗力を備々に制御して、自由度が高いデジタル航子 資金百載力質深システムを開成でき、その終犯、各項成 部分で概めて細かくさパワーマネージメントを行ってシ 2子A全体の消費用力を大きく庇護できる。更に、順3 9年のデジタル電子構造日電力管理システムでは、パワ **ーマネージメントに関してシステムを構成する単独の四 数量や各人出力コントローラの異談は、デジタル配子的** 発圧電力制剤処置によって制剤されるので、転動物圧と へみが落い時間と即動を下して大が行い時間があり、 高 作用場のも時間的に 上下するので、システムの配力消費 を減少させると同語にシステムが明行が聞にあるかまた **技術教育技術にあるかによって犯理預度の上格または下** 済を制御してシステム全体的処理産業を落すことなく知 **まが用いデジタル電子開張自雇力管理システムを構造で** 1、その結束、各種項系分で板めて細かくさパワーマネ -ジメントを行ってシステル全体の消費権力を大きく近 入力を各手ジタル電子開催日配力削削数量が移出したと **きにシステムを構成する中央処理整理や行入出力コント**